

Invertitore C-MOS. Tempi di ritardo. Potenza dissipata. Porte logiche.

Nella lezione precedente eravamo giunti a definire l'invertitore C-MOS, mostrato in figura 1, con la sua caratteristica, mostrata in figura 2.

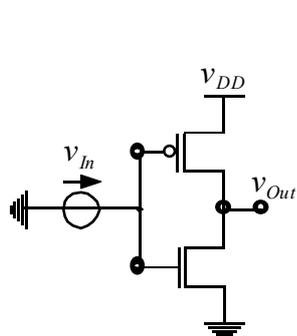


Figura 1

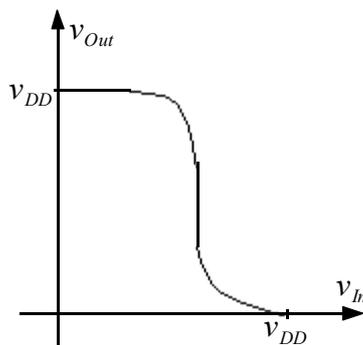


Figura 2

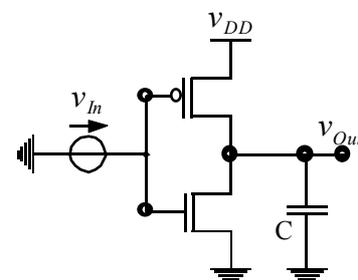


Figura 3

Aggiungiamo ora un carico capacitivo all'invertitore ottenendo il circuito mostrato in figura 3. E' ovvio che, inserendo tale elemento, si configurano dei ritardi nella trasmissione del segnale di ingresso in uscita; in figura 4 vediamo dunque come un segnale di ingresso si trasferisce all'uscita.

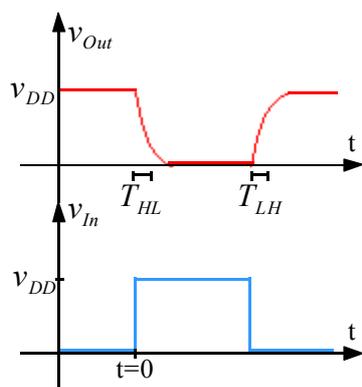


Figura 4

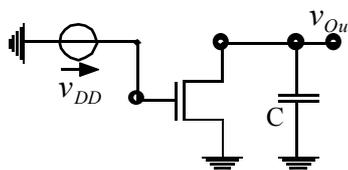


Figura 5

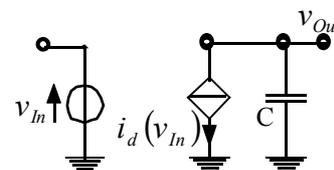


Figura 6

Definiamo dunque il tempo di ritardo necessario per effettuare mezza transizione dalla fase alta (High) alla fase bassa (Low) e che indichiamo T_{HL} e anche il tempo di ritardo necessario per effettuare mezza transizione dalla fase bassa alla fase alta che indichiamo T_{LH} . Il complessivo tempo di ritardo sarà:

$$T = \frac{T_{HL} + T_{LH}}{2}$$

Soffermiamoci inizialmente sulla transizione HL e vediamo che, nell'istante caratterizzato da

$$t = 0^-$$

le tensioni di ingresso e di uscita saranno le seguenti:

$$\begin{cases} v_{In} = 0 \\ v_{Out} = v_{DD} \end{cases}$$

Passando ora all'istante caratterizzato da

$$t = 0^+$$

accendiamo l'N-MOS e spegniamo il P-MOS, la tensione di ingresso diventa:

$$v_{In} = v_{DD}$$

mentre per quanto riguarda la tensione di uscita dobbiamo fare riferimento al circuito di figura 5. Ricordando il significato circuitale del transistor (che poteva essere visto come un generatore di corrente pilotato in tensione) il circuito di figura 5 può ridisegnato come mostrato in figura 6 (essendo il source collegato a terra). Per valutare come varia la tensione di uscita dobbiamo dunque studiare il sistema composto dal generatore di corrente e dal condensatore e quindi dobbiamo mettere a sistema la relazione caratteristica del condensatore

$$i_D = C \frac{dv_{Out}}{dt} \quad (1)$$

con l'espressione della corrente di drain imposta dal transistor. Ricordiamo però, come del resto si può comprendere osservando la figura 7, che la dipendenza dalla tensione della corrente di drain varia a seconda che ci troviamo nella zona di saturazione o nella zona di triodo

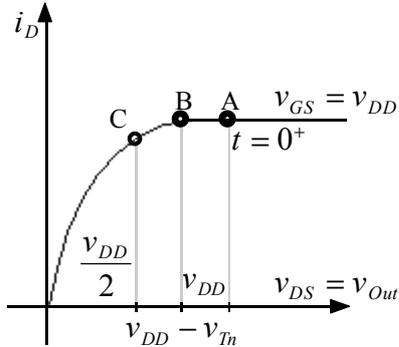


Figura 7

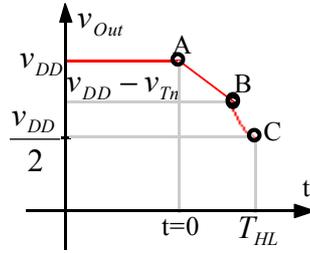


Figura 8

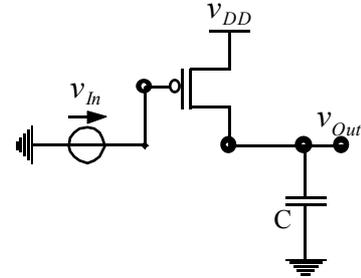


Figura 9

Quando dunque siamo nella zona di saturazione dobbiamo risolvere il sistema composto dall'ultima relazione scritta e dalla seguente espressione della corrente di drain:

$$i_D = \frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_n (v_{DD} - v_{Tn})^2 \quad (2)$$

Quando invece siamo in zona triodo, il sistema andrà completato con la seguente espressione della corrente:

$$i_D = K_n^1 \left(\frac{W}{L} \right)_n \left[(v_{DD} - v_{Tn}) v_{Out} + \frac{1}{2} v_{Out}^2 \right] \quad (3)$$

Dal sistema delle relazioni (1) e (2) otteniamo dunque che, in un primo momento, si ha una scarica lineare del condensatore, in seguito, quando dobbiamo risolvere il sistema tra le relazioni (1) e (3), vediamo che la scarica ha un andamento esponenziale decrescente, come mostrato in figura 8. L'espressione analitica del tempo di transizione T_{HL} sarà dunque (non ci soffermiamo sui calcoli che vengono mostrati sul Sedra-Smith):

$$T_{HL} = \Delta t_{A \rightarrow B} + \Delta t_{B \rightarrow C} = \frac{2C}{K_n^1 \left(\frac{W}{L} \right)_n (v_{DD} - v_{Tn})} \left[\frac{v_{Tn}}{v_{DD} - v_{Tn}} + \frac{1}{2} \ln \left(\frac{3v_{DD} - 4v_{Tn}}{v_{DD}} \right) \right]$$

Nel caso particolare in cui valga la relazione:

$$v_{Tn} = 0,2v_{DD}$$

(tipicamente si ha v_{Tn} pari ad 1 V e v_{DD} pari a 5 V), si ricava la seguente espressione semplificata:

$$T_{HL} = \frac{1,6C}{K_n^1 \left(\frac{W}{L} \right)_n v_{DD}}$$

Soffermandoci invece sulla transizione LH vediamo che, nell'istante caratterizzato da:

$$t = 0^-$$

le tensioni di ingresso e di uscita saranno le seguenti:

$$\begin{cases} v_{In} = v_{DD} \\ v_{Out} = 0 \end{cases}$$

Passando ora all'istante caratterizzato da

$$t = 0^+$$

accendiamo il P-MOS e spegniamo l'N-MOS, la tensione di ingresso diventa:

$$v_{In} = 0$$

mentre per quanto riguarda la tensione di uscita dobbiamo fare riferimento al circuito di figura 9. Per valutare come varia la tensione di uscita dobbiamo dunque studiare il sistema composto dal transistor (visto come un generatore di corrente) e dal condensatore; bisogna quindi ripetere il procedimento visto nel caso della transizione HL e ottenere, ancora nel caso particolare in cui

$$v_{Tp} = 0,2v_{DD}$$

la seguente soluzione:

$$T_{LH} = \frac{1,6C}{K_p^1 \left(\frac{W}{L}\right)_p v_{DD}}$$

La situazione ottimizzata si ha quando i due tempi di transizione sono molto simili e molto bassi.

Vediamo ora tre metodi approssimati per il calcolo del periodo di transizione.

- Il primo metodo consiste nel supporre che la scarica non avvenga lungo la caratteristica effettiva del transistor ma lungo una caratteristica lineare. Come mostrato in figura 10 (e facendo per il momento riferimento alla transizione HL) supponiamo che la scarica del condensatore avvenga lungo la caratteristica data dalla relazione:

$$i_D = \frac{v_{Out}}{R_{DS}}$$

dove sia:

$$R_{DS} = \frac{1}{K_n^1 \left(\frac{W}{L}\right)_n (v_{DD} - v_{Tn})}$$

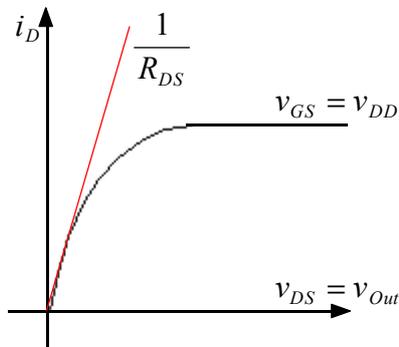


Figura 10

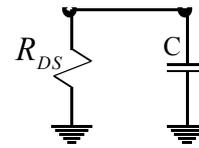


Figura 11

Utilizzare la caratteristica lineare significa sfruttare un circuito come quello mostrato in figura 11 che sappiamo facilmente gestire; si ricaverà infatti la seguente costante di tempo:

$$\tau = R_{DS}C$$

Nel solito caso particolare in cui si abbia:

$$v_{Tn} = 0,2v_{DD}$$

si avrà:

$$R_{DS} = \frac{1,25}{K_n^1 \left(\frac{W}{L}\right)_n v_{DD}}$$

e quindi si otterrà:

$$T_{HL} = R_{DS}C \ln 2 = \frac{0,9C}{K_n^1 \left(\frac{W}{L}\right)_n v_{DD}}$$

Il discorso relativo alla transizione LH sarà ovviamente identico pur di mettere:

$$R_{DS} = \frac{1,25}{K_p^1 \left(\frac{W}{L}\right)_p v_{DD}}$$

Vediamo apparire dunque un coefficiente 0,9 invece del coefficiente 1,6 che appariva nel procedimento corretto.

- Il secondo metodo di approssimazione consiste nel supporre che la scarica non avvenga lungo la caratteristica effettiva del transistor ma che avvenga a corrente costante pari alla corrente della zona di saturazione. Facendo dunque riferimento alla figura 12 (ci concentriamo ancora sul caso della transizione HL), l'espressione della corrente sarà la seguente:

$$i_D = \frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_n (v_{DD} - v_{Tn})^2$$

Una scarica a corrente costante è una situazione facilmente gestibile e si avrà quindi:

$$T_{HL} = \frac{C \Delta v_{Out}}{i_D} = \frac{C \frac{v_{DD}}{2}}{\frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_n (v_{DD} - v_{Tn})^2}$$

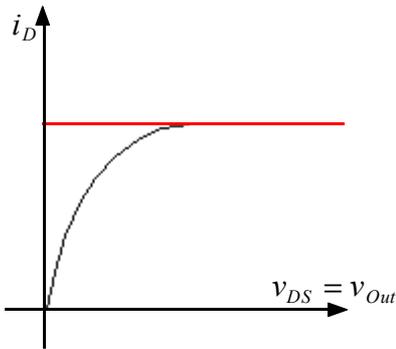


Figura 12

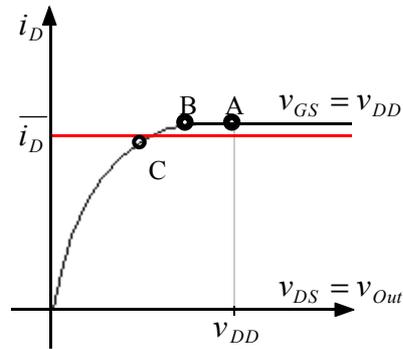


Figura 13

Facendo riferimento al solito caso particolare nel quale:

$$v_{Tn} = 0,2v_{DD}$$

si ricava:

$$T_{HL} = \frac{1,56C}{K_n^1 \left(\frac{W}{L} \right)_n v_{DD}}$$

Vediamo allora che questa approssimazione porta ad un risultato molto più vicino a quello trovato con il procedimento esatto.

- Il terzo ed ultimo metodo di approssimazione (che è anche quello maggiormente utilizzato) prevede che la scarica del condensatore avvenga ancora a corrente costante piuttosto che sulla caratteristica effettiva del transistor ma che la corrente non sia quella della zona di saturazione ma sia una corrente intermedia (si veda dunque la figura 13) che si calcola nel modo seguente:

$$\bar{i}_D = \frac{1}{2} [i_D(0^+) + i_D(T_{HL})]$$

con:

$$\begin{cases} i_D(0^+) = \frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_n (v_{DD} - v_{Tn})^2 \\ i_D(T_{HL}) = K_n^1 \left(\frac{W}{L} \right)_n \left[(v_{DD} - v_{Tn}) \frac{v_{DD}}{2} + \frac{1}{2} \frac{v_{DD}^2}{4} \right] \end{cases}$$

Si torna dunque ad avere la scarica di un condensatore a corrente costante e quindi, nel solito caso particolare in cui sia:

$$v_{Tn} = 0,2v_{DD}$$

si otterrà:

$$T_{HL} = \frac{1,7C}{K_n^1 \left(\frac{W}{L} \right)_n v_{DD}}$$

Ovviamente tutti i procedimenti con i quali è stato calcolato il T_{HL} possono essere ripetuti in maniera del tutto identica anche per il calcolo del T_{LH} pur di sostituire i pedici n con i pedici p.

In precedenza si è accennato al fatto che una situazione ottimizzata è quella in cui i due tempi di transizione sono molto simili (oltre ovviamente all'essere molto bassi); perché i due tempi di transizione siano uguali, vista la loro espressione, è sufficiente imporre che sia:

$$K_n^1 \left(\frac{W}{L} \right)_n = K_p^1 \left(\frac{W}{L} \right)_p$$

si parla allora di matching al fine di avere un inverter simmetrico. E' importante sottolineare che, per la fisica del problema, si avrà sicuramente:

$$K_n^1 \neq K_p^1$$

in quanto si ha:

$$\mu_n C_{Ox} \neq \mu_p C_{Ox}$$

dovuto al fatto che la capacità dell'ossido è ovviamente comune ma che tra μ_n e μ_p esiste un rapporto del tipo:

$$\frac{\mu_n}{\mu_p} \approx 3$$

Per avere un inverter simmetrico sarà dunque necessario lavorare sul rapporto di forma dei due transistor ed imporre che sia:

$$\frac{\left(\frac{W}{L} \right)_p}{\left(\frac{W}{L} \right)_n} = \frac{\mu_n}{\mu_p}$$

E dunque evidente che il più piccolo N-MOS che posso realizzare (si veda la figura 14) sarà caratterizzato dalla seguente relazione:

$$\frac{W}{L} = 1$$

mentre il P-MOS, affinché il C-MOS sia effettivamente simmetrico, deve essere caratterizzato dalla relazione (si veda la figura 15):

$$\frac{W}{L} = 3$$

Piastra di Silicio

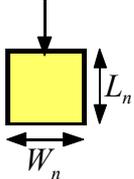


Figura 14

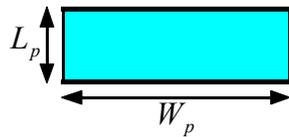


Figura 15

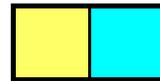


Figura 16



Figura 17

Se in figura 16 è quindi rappresentato il minimo inverter C-MOS che si può realizzare, il minimo inverter C-MOS simmetrico realizzabile è mostrato in figura 17. Per quanto riguarda la caratteristica di un inverter C-MOS simmetrico, consideriamo la seguente uguaglianza:

$$i_n = i_p$$

Quando entrambi i transistor sono in saturazione questa espressione viene riscritta nel modo seguente:

$$\frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_n (v_{In} - v_{Tn})^2 = \frac{1}{2} K_p^1 \left(\frac{W}{L} \right)_p (v_{DD} - v_{In} - |v_{Tp}|)^2$$

Qualora, dunque, si abbia che:

$$K_n^1 \left(\frac{W}{L} \right)_n = K_p^1 \left(\frac{W}{L} \right)_p$$

e nell'ipotesi aggiuntiva che sia:

$$v_{Tn} = v_{Tp} = v_T$$

si ricava

$$v_{In} = \frac{v_{DD}}{2}$$

La caratteristica dell'inverter C-MOS simmetrico è dunque quella mostrata in figura 18; qualora invece la simmetria non fosse soddisfatta la caratteristica sarebbe quella mostrata in figura 19.

Concentriamoci ora sulla potenza dissipata e osserviamo che, quando siamo nello stato alto o nello stato basso, sicuramente non si ha dissipazione di potenza in quanto uno dei due MOS è spento e quindi non passa corrente; quando invece entrambi i MOS sono in saturazione (ovvero nel tratto verticale della caratteristica) c'è conduzione e quindi c'è una dissipazione di potenza che è rappresentata dall'area sottesa alla curva di figura 20. Da un punto di vista numerico, tale potenza, che prende il nome di potenza dinamica dissipata, è molto piccola e dunque trascurabile; il grosso della dissipazione di potenza deriva dalla carica e dalla scarica del condensatore. Pensando infatti alla transizione HL osserviamo che, quando il condensatore è carico (con una tensione v_{DD}) avrà immagazzinato un'energia

$$E_C = \frac{1}{2} C v_{DD}^2 \quad (4)$$

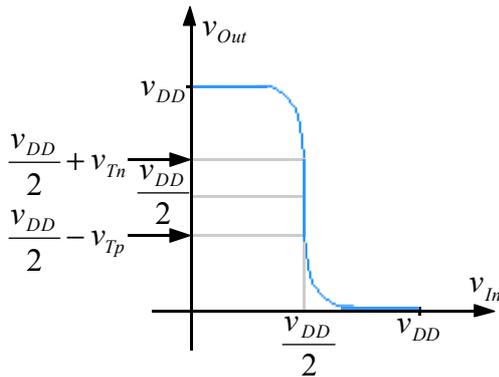


Figura 18

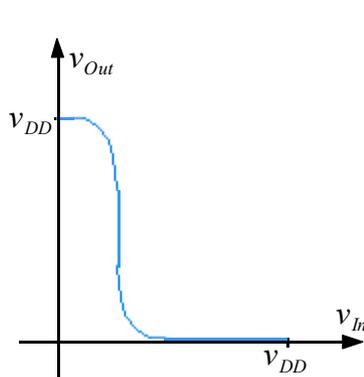


Figura 19

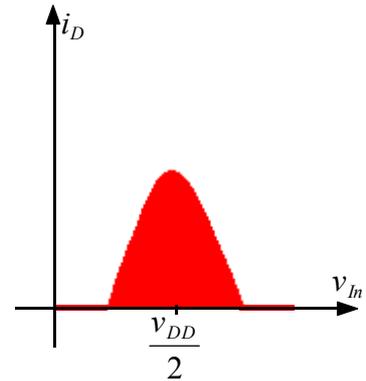


Figura 20

Quando invece il condensatore è scarico (ovvero ha tensione nulla) l'energia da esso immagazzinata è nulla. Possiamo dunque concludere che, durante la transizione HL, l'energia dissipata per scaldare l'N-MOS sarà:

$$E_{Dis}^{HL} = \frac{1}{2} C v_{DD}^2$$

Durante la transizione LH, invece, l'energia immagazzinata dal condensatore passa da zero al valore dato dalla relazione (4); l'energia fornita dall'alimentazione sarà invece:

$$E = \int v_{DD} i dt = v_{DD} \int i dt = v_{DD} Q = v_{DD} C v_{DD} = C v_{DD}^2$$

Ne concludiamo che metà dell'energia fornita dall'alimentazione si trasferisce nel condensatore mentre l'altra metà viene dissipata scaldando il P-MOS. In un ciclo completo, dunque, l'energia dissipata sarà:

$$E_{Dis} = C v_{DD}^2$$

e quindi la potenza dissipata sarà:

$$P_{Dis} = f C v_{DD}^2$$

dove f sia la frequenza.

L'inverter è una struttura molto importante perché grazie ad essa è possibile realizzare le porte logiche. Fino ad ora abbiamo visto l'inverter C-MOS composto da due transistor (un P-MOS ed un N-MOS); per costruire le porte logiche, invece, i transistor utilizzati possono essere di più ma la struttura è sempre la stessa, come mostrato in figura 21.

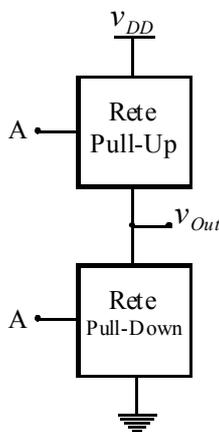


Figura 21

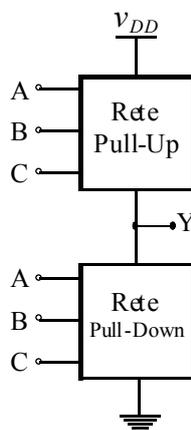


Figura 22

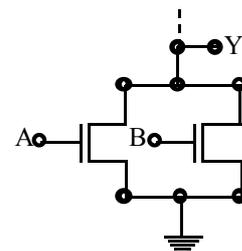


Figura 23

La rete di Pull-Up è sempre composta da transistor P-MOS mentre la rete di Pull-Down è sempre composta da transistor N-MOS. In figura 22 vediamo una generalizzazione della rete di figura 21; in uscita avremo dunque una Y che sarà funzione degli ingressi A,B e C, ovvero:

$$Y = f(A, B, C)$$

Concentriamoci inizialmente sulla rete di Pull-down e consideriamo la configurazione mostrata in figura 23. Possiamo notare che l'uscita Y sarà bassa qualora almeno uno degli ingressi A o B è alto e quindi possiamo costruire la seguente relazione logica:

$$\bar{Y} = A \vee B$$

Applicando le leggi di De Morgan, l'ultima relazione scritta diventa:

$$\bar{\bar{Y}} = \overline{A \vee B}$$

ovvero:

$$Y = \overline{A \vee B}$$

Abbiamo dunque costruito una rete NOR. Se invece di avere due N-MOS in parallelo avessimo due N-MOS in serie dovremmo considerare la configurazione mostrata in figura 24.

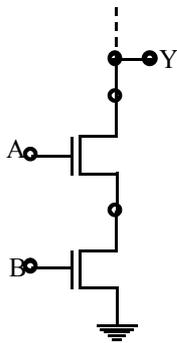


Figura 24

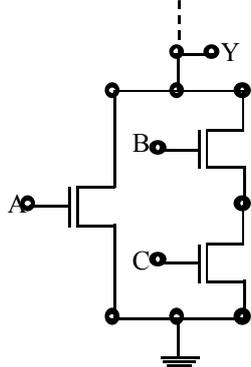


Figura 25

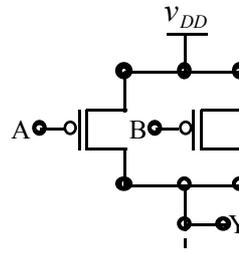


Figura 26

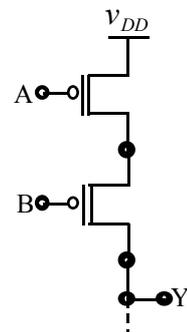


Figura 27

In questa situazione vediamo che l'uscita Y sarà bassa solo se entrambi gli ingressi sono alti e quindi si configura la relazione logica seguente:

$$\bar{Y} = A \wedge B$$

Applicando nuovamente le regole di De Morgan si ottiene:

$$\bar{\bar{Y}} = \overline{A \wedge B}$$

ovvero:

$$Y = \overline{A \wedge B}$$

Abbiamo dunque trovato una rete NAND. Se consideriamo, infine, una configurazione come quella mostrata in figura 25, vediamo che la corrispettiva relazione logica che lega ingresso e uscita sarà la seguente:

$$\bar{Y} = A \vee (B \wedge C)$$

da cui si ricava, tramite l'applicazione delle regole di De Morgan:

$$Y = \bar{A} \wedge (\bar{B} \vee \bar{C})$$

Per quanto riguarda la rete di Pull-up, osserviamo che la configurazione in parallelo dei P-MOS mostrata in figura 26 fa sì che l'uscita Y sia bassa quando entrambi gli ingressi sono alti e quindi la relazione logica correlata sarà la seguente:

$$\bar{Y} = A \wedge B$$

dalla quale si ricava:

$$Y = \overline{A \wedge B}$$

e quindi siamo in presenza nuovamente di una rete di tipo NAND. Facendo invece riferimento alla configurazione di figura 27 si vede che la relazione logica correlata è la seguente:

$$Y = \overline{A \vee B}$$

e quindi siamo di fronte ad una rete NOR. Notiamo dunque che una configurazione in parallelo relativa alla rete di Pull-up deve essere accoppiata ad una configurazione in serie per la rete di Pull-down e viceversa. La rete NOR complessiva è infatti quella mostrata in figura 28.

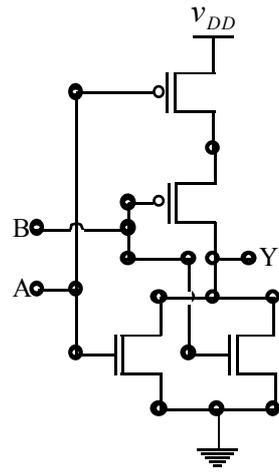


Figura 28

Polarizzazione e analisi di piccolo segnale per i MOS. Resistenza di uscita.

Torniamo ora ad occuparci del circuito mostrato in figura 1 la cui caratteristica di uscita è mostrata in figura 2.

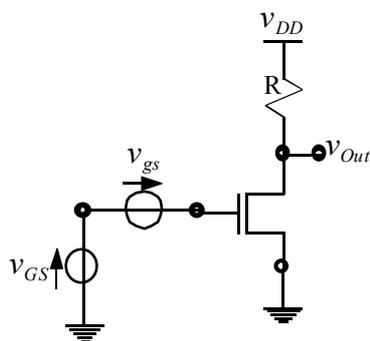


Figura 1

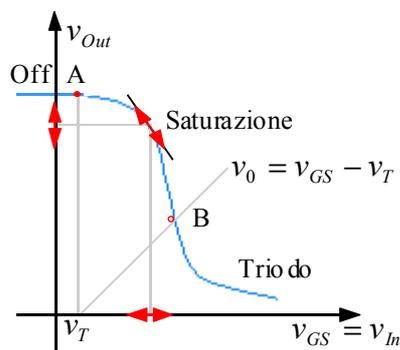


Figura 2

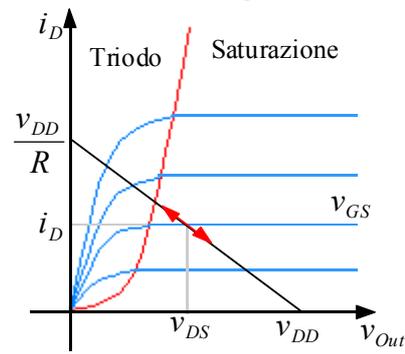


Figura 3

Avevamo già notato che, se era verificata la relazione

$$\left| \frac{\partial v_{Out}}{\partial v_{In}} \right| > 1$$

si poteva parlare di amplificazione del piccolo segnale; ovviamente, per avere la massima amplificazione, ci converrà scegliere il punto di lavoro nel punto dove la pendenza è massima, ovvero nelle vicinanze del punto B (oltre al quale si passa dalla zona di saturazione alla zona di triodo). Nella lezione numero 19 eravamo inoltre giunti alla seguente espressione:

$$v_{Out} = v_{DD} - RK(v_{GS} - v_T)^2$$

dove la differenza che appare tra parentesi prende il nome di tensione di overdrive. Facendo riferimento alla figura 3 vediamo che, per polarizzare il circuito in un certo punto, dobbiamo imporre un valore particolare di v_{GS} ; una volta selezionata la v_{GS} si ottiene, come conseguenza, la i_D che sarà espressa dalla relazione

$$i_D = K(v_{GS} - v_T)^2$$

Dall'analisi del circuito si vede inoltre che è valida la seguente espressione:

$$v_{DD} = v_{DS} + i_D R$$

Combinando tra di loro le ultime due relazioni scritte si ricava la v_{DS} . Bisogna però precisare che in generale noi non abbiamo a disposizione grafici come quelli di figura 3 e quindi dobbiamo verificare che la scelta fatta non ci porti fuori dalla zona di saturazione, dobbiamo dunque verificare che si abbia:

$$v_{DS} \geq v_{GS} - v_T \quad (1)$$

Una volta che abbiamo scelto il punto di polarizzazione e abbiamo verificato che si tratta di un punto nella zona di saturazione, dobbiamo ricordare che il piccolo segnale che applicheremo a partire da tale punto sarà un segnale oscillante, dovremo dunque fare attenzione a non scegliere un punto di polarizzazione troppo vicino al confine tra zona di triodo e zona di saturazione perché altrimenti si rischierebbe di aver polarizzato in zona di saturazione ma di avere un segnale che, nelle sue oscillazioni, si porta in zona triodo.

Vediamo dunque un piccolo esempio numerico nel quale si fa riferimento ai seguenti valori:

$$\begin{cases} v_{DD} = 5V \\ R = 1k\Omega \\ K = \frac{1}{2} K_n \frac{W}{L} = 1 \frac{mA}{V^2} \\ v_T = 1V \end{cases}$$

Supponiamo di aver scelto una v_{GS} pari a 2 V. Come prima cosa notiamo che il transistor è effettivamente acceso in quanto si ha:

$$v_{GS} > v_T$$

Supponendo di essere in zona di saturazione possiamo calcolare allora la corrente i_D nel modo seguente:

$$i_D = K(v_{GS} - v_T)^2 = 1mA$$

La tensione v_{DS} è allora la seguente:

$$v_{DS} = v_{DD} - i_D R = 4V$$

Constatiamo di essere effettivamente in zona saturazione perché la relazione (1) è sicuramente soddisfatta. Dopo esserci occupati della saturazione vediamo cosa si può dire per il piccolo segnale; accendiamo dunque il generatore di segnale v_{gs} . Siccome abbiamo polarizzato in zona di saturazione possiamo utilizzare l'espressione della corrente i_D ; si avrà dunque:

$$i_D = K(v_{GS} + v_{gs} - v_T)^2 = K(v_{GS} - v_T)^2 + K v_{gs}^2 + 2K(v_{GS} - v_T)v_{gs}$$

Vediamo dunque apparire tre termini, il primo dei quali è la i_D (che da questo momento in poi indicheremo come i_D^0) trovata in precedenza, il secondo è un termine non lineare in v_{gs} e il terzo è un termine lineare in v_{gs} . L'approssimazione di piccolo segnale prevede di non tener conto del termine non lineare e quindi si suppone che:

$$K v_{gs}^2 \ll 2K(v_{GS} - v_T)v_{gs}$$

ovvero:

$$v_{gs} \ll 2(v_{GS} - v_T)$$

Si avrà allora:

$$i_D = i_D^0 + 2K(v_{GS} - v_T)v_{gs} = i_D^0 + i_d$$

dove si è battezzata la corrente di drain di piccolo segnale nel modo seguente:

$$i_d = 2K(v_{GS} - v_T)v_{gs}$$

Possiamo riscrivere l'ultima relazione vista nel modo seguente:

$$i_d = g_m v_{gs}$$

dove si è introdotta la conduttanza del transistor, definita ovviamente nel modo seguente:

$$g_m = 2K(v_{GS} - v_T)$$

Valutiamo ora l'uscita dovuta al piccolo segnale; nella struttura che stiamo esaminando si avrà:

$$v_{Out} = v_{DS} = v_{DD} - R i_D = v_{DD} - R(i_D^0 + i_d) = v_{DD} - R i_D^0 - R i_d = v_{DS}^0 - v_{ds} = v_{Out}^0 - v_{Out}^s$$

dove si è indicato con v_{DS}^0 la tensione valutata in polarizzazione mentre v_{ds} è l'analogia tensione valutata relativamente al solo piccolo segnale e che, ovviamente, essendo spenta l'alimentazione, risulta definita nel modo seguente:

$$v_{ds} = -R i_d$$

Gli apici 0 ed s che appaiono nell'ultimo membro della penultima relazione scritta si riferiscono anch'essi al conto fatto in polarizzazione e relativamente al piccolo segnale; abbiamo dunque:

$$v_{Out}^s = -R i_d = -R g_m v_{gs}$$

e quindi il guadagno di tensione relativo al piccolo segnale sarà:

$$A_v = \frac{v_{Out}^s}{v_{gs}} = -R g_m$$

Torniamo allora all'esempio numerico visto in precedenza e, nel punto di polarizzazione prima individuato, utilizziamo una tensione di segnale v_{gs} di 10 mV; come vediamo dalla figura 4, la scelta del segnale è buona perché anche se il segnale oscilla non si scende mai sotto la v_T e quindi il transistor rimane sempre acceso.

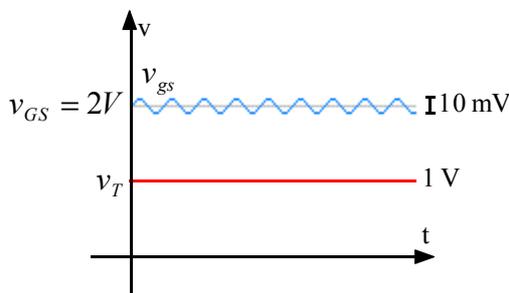


Figura 4

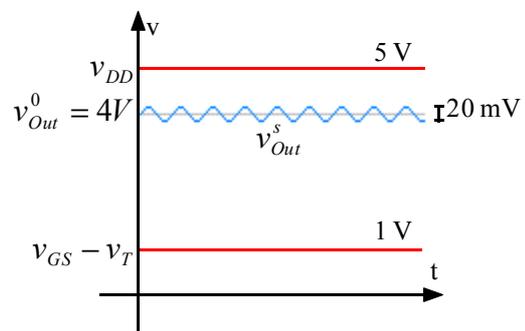


Figura 5

Sfruttando i dati numerici visti in precedenza si ricava:

$$g_m = 2K(v_{GS} - v_T) = 2 \frac{mA}{V}$$

Il guadagno in tensione sarà allora:

$$A_v = -R g_m = -2$$

Siccome il guadagno è negativo siamo in presenza di uno stadio invertente. Avremo dunque:

$$v_{Out}^s = -2v_{gs} = -20mV$$

Come notiamo dalla figura 5 il risultato è accettabile perché l'oscillazione dell'uscita lasciano comunque valida la relazione (1), non si sconfinano quindi in zona triodo e non ci sono distorsioni. Affinché non ci sia nessuna distorsione il segnale di uscita non deve inoltre essere maggiore della tensione di alimentazione (come mostrato nella figura 5) e anche questo è verificato nel caso in analisi.

Torniamo ora brevemente sull'espressione della transconduttanza del transistor e ne combiniamo l'espressione con quella della corrente di drain di polarizzazione; otteniamo in questo modo la seguente relazione:

$$g_m = 2K \sqrt{\frac{i_D^0}{K}} = 2\sqrt{Ki_D^0} = 2\sqrt{\frac{1}{2} K_n^1 \frac{W}{L} i_D^0} = \sqrt{2K_n^1 \frac{W}{L} i_D^0}$$

Un altro modo per esprimere il legame tra la transconduttanza e la corrente di drain di polarizzazione è il seguente:

$$g_m = 2K(v_{GS} - v_T) = \frac{2K(v_{GS} - v_T)^2}{v_{GS} - v_T} = \frac{2i_D^0}{v_{GS} - v_T} = \frac{i_D^0}{\frac{v_{GS} - v_T}{2}}$$

Ricordiamo ora che, nell'analisi del diodo, eravamo giunti a definire una resistenza differenziale R_D tramite la quale si modellava il diodo quando si valutava il piccolo segnale; tale resistenza risultava definita nel modo seguente:

$$R_D = \frac{i_{Diodo}}{v_{Th}}$$

Confrontando le ultime due relazioni scritte vediamo che, nell'analisi di piccolo segnale, sia il diodo che il transistor presentano una resistenza definita in modo analogo: nel caso del diodo si tratta della corrente divisa per la tensione termica, nel caso del transistor si tratta di una corrente divisa per metà della tensione di overdrive.

Concludiamo il discorso sulla g_m osservando che, numericamente, la g_m equivale alla R_{DS} che abbiamo incontrato nella lezione precedente, calcolata in polarizzazione.

Prima di introdurre la resistenza di uscita vediamo il seguente schema riassuntivo relativo all'analisi di polarizzazione e di piccolo segnale per i MOS.

- Per gli N-MOS: nel caso di grande segnale (figura 6) la corrente di drain può essere espressa in tre forme a seconda che il transistor sia spento, in saturazione o in triodo; si avrà allora, rispettivamente:

$$\begin{cases} i_D^{Off} = 0 \\ i_D^{Sat} = K(v_{GS} - v_T)^2 \\ i_D^{Tri} = 2K \left[(v_{GS} - v_T)v_{DS} - \frac{1}{2}v_{DS}^2 \right] \end{cases}$$

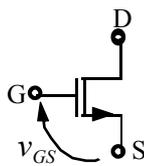


Figura 6

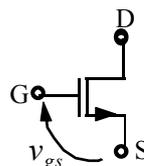


Figura 7

Nel caso di piccolo segnale (figura 7) la corrente di drain può essere espressa nel modo seguente:

$$i_D^s = g_m v_{gs}$$

dove sia:

$$g_m = \frac{\partial i_D}{\partial v_{gs}}$$

- Per i P-MOS: nel caso di grande segnale (figura 8) la corrente di drain può essere espressa in tre forme a seconda che il transistor sia spento, in saturazione o in triodo; si avrà allora, rispettivamente:

$$\begin{cases} i_D^{Off} = 0 \\ i_D^{Sat} = K(v_{GS} - v_T)^2 \\ i_D^{Tri} = 2K \left[(v_{GS} - v_T)v_{DS} - \frac{1}{2}v_{DS}^2 \right] \end{cases}$$

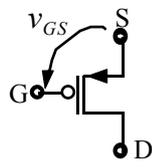


Figura 8

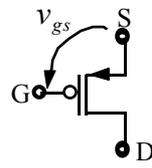


Figura 9

Nel caso di piccolo segnale (figura 9) la corrente di drain può essere espressa nel modo seguente:

$$i_D^s = g_m v_{gs}$$

dove sia:

$$g_m = \frac{\partial i_D}{\partial v_{gs}}$$

E' opportuno fare attenzione alla convenzione che si considera per la scelta del segno di g_m perché, come appare evidente dalla figura 10, nei due casi i segni saranno discordi.

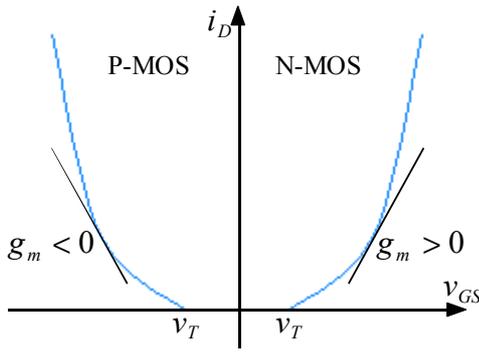


Figura 10

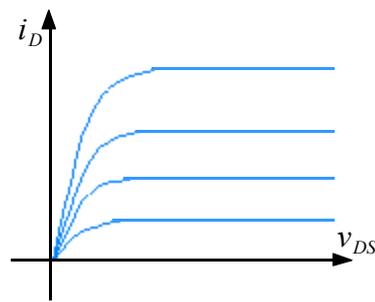


Figura 11

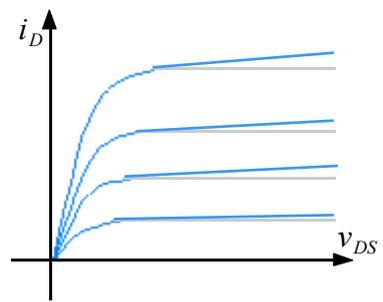


Figura 12

Possiamo ora introdurre la resistenza di uscita; in figura 11 vediamo la caratteristica di un transistor come l'abbiamo considerata fino ad ora, in figura 12, invece, vediamo la caratteristica reale di un transistor. Il fatto che ci sia una certa pendenza è dovuto all'effetto di strozzamento (effetto pinch-off) del canale (come mostrato in figura 13) e viene circuitalmente modellizzato introducendo una resistenza di uscita (solitamente indicata, come mostrato in figura 14, con r_{Out}).

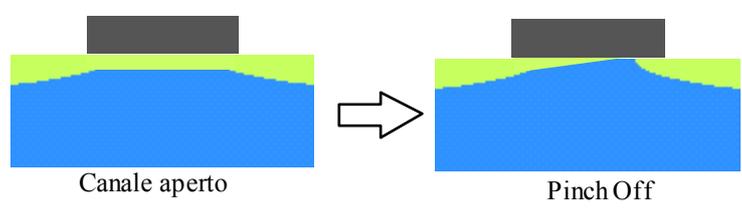


Figura 13

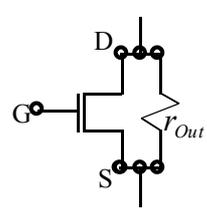


Figura 14

Per calcolare numericamente la resistenza di uscita notiamo, dalla figura 15, che tutte le caratteristiche in zona saturazione, una volta prolungate si incontrano sull'asse v_{DS} in un unico punto che chiamiamo $-V_A$ dove V_A prende il nome di tensione di Early. La resistenza di uscita si valuta dunque in funzione della tensione di Early e sarà:

$$r_{Out} = \frac{V_A}{i_D^0}$$

La resistenza di uscita si inserisce sia nell'analisi di piccolo che di grande segnale. Tutti i discorsi qui fatti hanno avuto come protagonista il transistor N-MOS, è però ovvio che possono essere ripetuti identici anche per il transistor P-MOS.

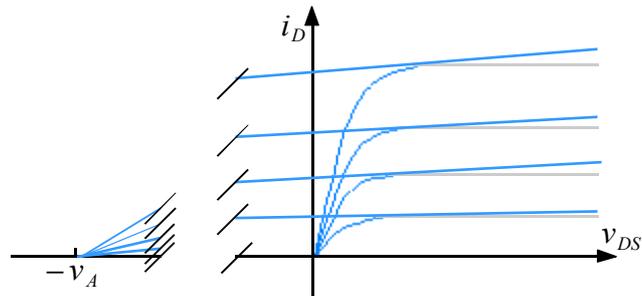


Figura 15

Stadio source a massa. Capacità parassite.

Torniamo per un attimo ad occuparci dello stadio di amplificazione che avevamo introdotto nella lezione numero 21 e del quale vediamo una rappresentazione generale in figura 1.

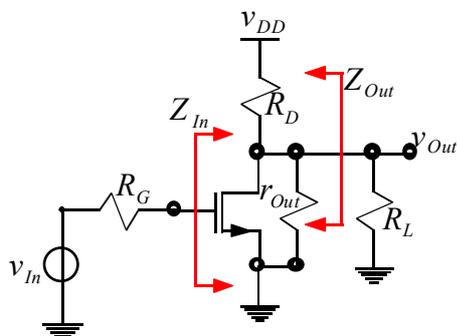


Figura 1

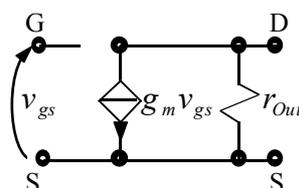


Figura 2

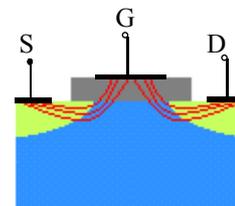


Figura 3

Riassumendo quanto visto in precedenza ricordiamo che il guadagno di piccolo segnale per quanto riguarda la tensione è:

$$A_V = \frac{v_{Out}}{v_{In}} = -g_m (R_D // r_{Out} // R_L)$$

Il guadagno di piccolo segnale per quanto riguarda la corrente è invece infinito perché la corrente di ingresso è nulla mentre non è nulla la corrente di uscita; l'impedenza di ingresso è infinita perché guardo direttamente dentro il gate di un MOS; l'impedenza di uscita è invece:

$$Z_{Out} = R_D // r_{Out}$$

Continuiamo ora il discorso sui MOS e complichiamo la situazione rispetto a quanto visto: fino ad ora il circuito equivalente di un MOS, tenendo conto anche della resistenza di uscita, era quello mostrato in figura 2; se invece ricordiamo la struttura fisica dei MOS, riportata in figura 3, vediamo che la presenza del canale implica di poter parlare di una capacità di gate della quale vediamo, nella medesima figura 3, anche le linee di forza. La capacità di gate che si viene a formare è espressa nel modo seguente:

$$C_{Gate} = C_{Ox}WL$$

Quando il transistor è in zona triodo il canale è aperto e quindi le linee di forza, come mostrato in figura 3, si dividono in due tronconi; introduciamo dunque due capacità parassite così definite:

$$C_{gs} = C_{gd} = \frac{1}{2} C_{Ox}WL$$

Quando invece il MOS entra in zona di saturazione, il canale va incontro all'effetto di pinch-off e si strozza sul drain; le due capacità parassite, dunque, tenendo conto che il canale ha un andamento decrescente lineare, saranno ora definite nel modo seguente:

$$\begin{cases} C_{gs} = \frac{2}{3} C_{Ox}WL \\ C_{gd} = 0 \end{cases}$$

Siccome poi le due isole n si introducono sempre un po' sotto lo strato di ossido (per una lunghezza che chiamiamo lunghezza di overlap L_{OL} che dipende dalla tecnologia) si possono introdurre due ulteriori capacità parassite, in parallelo a quelle già indicate, che prendono il nome di capacità di overlap e sono così definite:

$$C_{OL} = C_{Ox}WL_{OL}$$

Complessivamente, quindi, le capacità parassite saranno, nella zona triodo:

$$C_{gs} = C_{gd} = \frac{1}{2} C_{Ox}WL + C_{OL}$$

mentre nella zona di saturazione si avrà:

$$\begin{cases} C_{gs} = \frac{2}{3} C_{Ox}WL + C_{OL} \\ C_{gd} = C_{OL} \end{cases}$$

In zona di saturazione rimane comunque sempre dominante la capacità C_{gs} . Avendo introdotto le capacità parassite la struttura circuitale che ora dobbiamo gestire è quella mostrata in figura 4.

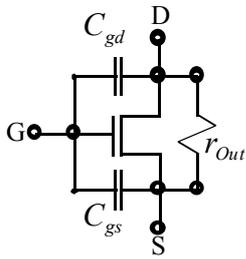


Figura 4

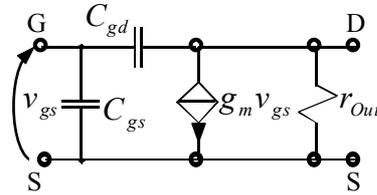


Figura 5

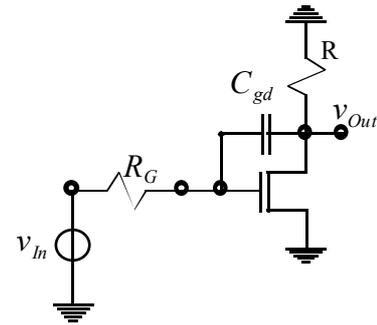


Figura 6

Il circuito equivalente sarà invece quello mostrato in figura 5. Questo discorso è valido nel caso di circuiti realizzati con tecnologia integrata; altre tecnologie prevedono molte ulteriori capacità parassite legate alle varie connessioni. Valutiamo ora la risposta in frequenza del circuito mostrato in figura 4 che però semplifichiamo leggermente: siccome la capacità parassita C_{gs} è trascurabile rispetto alla capacità parassita C_{gd} la trascuriamo e ci occupiamo solo di quest'ultima. Facciamo dunque riferimento al circuito di figura 6 nella quale vediamo la resistenza R nella quale abbiamo fatto confluire le resistenze R_D , r_{Out} ed R_L che si vedevano in figura 1. Ci sono ora tre possibili approcci per studiare il circuito:

- Il primo metodo è quello delle costanti di tempo; nel caso in questione sarà necessario sostituire la capacità con un generatore di tensione o di corrente di test e valutare la corrente o la tensione rispettivamente. Nella figura 7 vediamo come si sia scelto di inserire un generatore di corrente di test

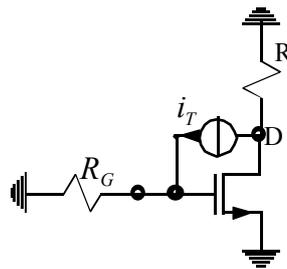


Figura 7

Dalla topologia del circuito appare evidente come sia:

$$v_T = v_{R_G} + v_R \quad (1)$$

Siccome poi la corrente imposta dal generatore non può entrare nel gate del MOS, che presenta impedenza infinita, si avrà:

$$i_{R_G} = i_T$$

e quindi:

$$v_{R_G} = R_G i_{R_G} = R_G i_T \quad (2)$$

Si vede inoltre come sia:

$$v_{R_G} = v_{gs}$$

e quindi:

$$i_D = g_m v_{gs} = g_m v_{R_G} = g_m R_G i_T$$

Applicando la legge di Kirchhoff al drain del MOS si avrà allora:

$$i_R = i_T + i_D = i_T (1 + g_m R_G)$$

Si avrà dunque:

$$v_R = R i_R = i_T (1 + g_m R_G) R \quad (3)$$

Combinando le relazioni (1), (2) e (3) si ricava dunque:

$$v_T = i_T [R_G + R(1 + g_m R_G)]$$

e quindi:

$$\frac{v_T}{i_T} = R_G + R(1 + g_m R_G) = R_{Eq}$$

La costante di tempo che associamo alla capacità parassita C_{gd} è dunque la seguente:

$$\tau_{gd} = C_{gd} R_{Eq} = C_{gd} [R_G + R(1 + g_m R_G)]$$

Il polo imposto da tale capacità parassita avrà dunque la frequenza data dall'inverso della costante di tempo trovata.

- Il secondo metodo sfrutta invece il teorema di Miller e prevede di splittare la capacità C_{gd} come mostrato in figura 8.

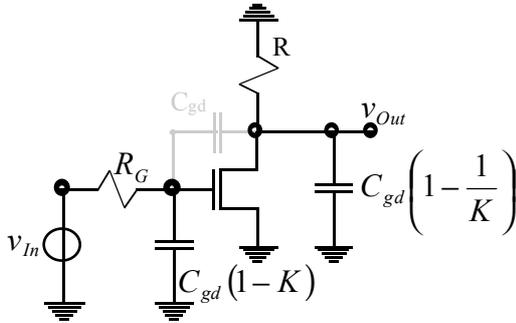


Figura 8

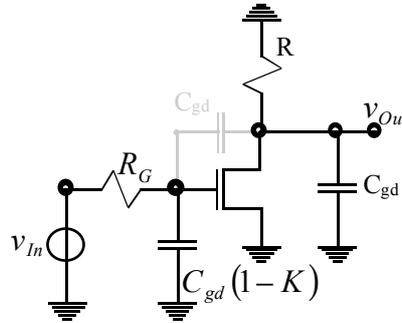


Figura 9

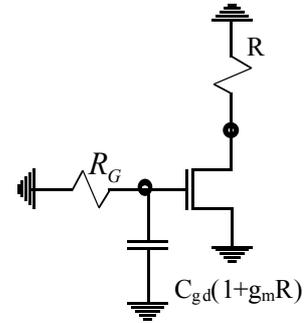


Figura 10

Si ricordi che K è il guadagno di tensione a cavallo della capacità che è stata splittata che, in questo caso, coincide con il guadagno di uno stadio source follower e quindi è:

$$K = -g_m R$$

Supponendo che K sia molto grande possiamo sfruttare il metodo di Miller modificato che prevede che la capacità C_{gd} venga splittata come mostrato in figura 9. A questo punto cerchiamo il polo indotto dalla capacità di partenza considerando una sola capacità per volta. Con riferimento alla figura 10 vediamo che alla capacità sul gate possiamo associare la seguente costante di tempo:

$$\tau_1^0 = C_{gd} (1 + g_m R) R_G$$

Sfruttando invece la figura 11 si ricava che la costante di tempo associata alla capacità sul drain è la seguente:

$$\tau_2^0 = C_{gd} R$$

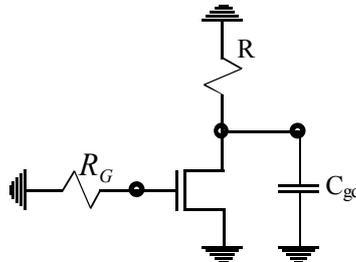


Figura 11

La costante di tempo complessiva sarà dunque:

$$\tau_{gd} = \tau_1^0 + \tau_2^0 = C_{gd} [R + R_G (1 + g_m R)]$$

ovvero, equivalentemente:

$$\tau_{gd} = C_{gd} R_{Eq} = C_{gd} [R_G + R(1 + g_m R_G)]$$

- Il terzo metodo prevede di sfruttare la teoria della reazione. Spegniamo dunque il generatore di ingresso e valutiamo il guadagno d'anello della struttura (come mostrato in figura 12).

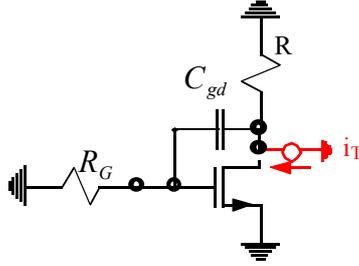


Figura 12

La corrente di test che introduciamo si ripartisce in parte nella resistenza R e in parte nella capacità C_{gd} . A noi interessa quest'ultima porzione che è la seguente:

$$i_{gd} = \frac{R}{R + \left(R_G + \frac{1}{sC_{gd}} \right)} i_T$$

La corrente che entra nella capacità C_{gd} è la medesima corrente che entra nella resistenza R_G (in quanto nel gate del MOS non entra corrente):

$$i_{R_G} = i_{gd}$$

e quindi la caduta di tensione sulla resistenza di ingresso sarà:

$$v_{R_G} = R_G i_{R_G} = R_G i_{gd} = \frac{R_G R}{R + \left(R_G + \frac{1}{sC_{gd}} \right)} i_T$$

Dalla topologia del circuito appare ora evidente come sia:

$$v_{gs} = v_{R_G}$$

e quindi la corrente di drain che troviamo sul MOS sarà:

$$i_D = g_m v_{gs} = g_m v_{R_G} = g_m \frac{R_G R}{R + \left(R_G + \frac{1}{sC_{gd}} \right)} i_T$$

Siccome la corrente di drain imposta dal MOS ha senso inverso rispetto alla corrente di test che abbiamo imposto si avrà:

$$i_{Out}^T = -i_D = -g_m \frac{R_G R}{R + \left(R_G + \frac{1}{sC_{gd}} \right)} i_T$$

e quindi:

$$G_{Loop} = \frac{i_{Out}^T}{i_T} = -g_m \frac{R_G R}{R + \left(R_G + \frac{1}{sC_{gd}} \right)}$$

Per valutare il guadagno ideale dobbiamo annullare la grandezza pilota ovvero, nel nostro caso, la tensione v_{gs} ; facciamo dunque riferimento alla figura 13 nella quale il gate del MOS è stato virtualmente messo a terra.

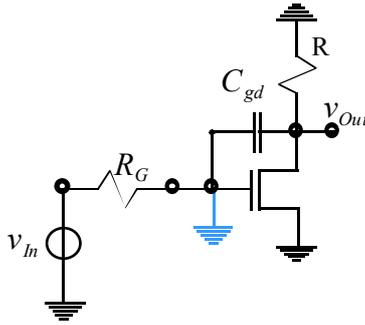


Figura 13

In questo caso notiamo, dalla topologia del circuito, come sia:

$$v_{R_G} = v_{In}$$

La corrente che attraversa la resistenza del gate è dunque:

$$i_{R_G} = \frac{v_{R_G}}{R_G} = \frac{v_{In}}{R_G}$$

La corrente che attraversa il resistore R_G non può che passare tutta nella capacità C_{gd} in quanto non può entrare nel gate del MOS e non va a terra perché il collegamento a terra è solo virtuale; avremo dunque:

$$i_{R_G} = i_{gd}$$

La caduta di tensione sulla capacità C_{gd} sarà allora la seguente:

$$v_{gd} = \frac{1}{sC_{gd}} i_{gd} = \frac{1}{sC_{gd}} i_{R_G} = \frac{v_{In}}{sC_{gd} R_G}$$

Il collegamento virtuale a terra permette di verificare la seguente relazione:

$$v_{Out} = -v_{gd} = -\frac{v_{In}}{sC_{gd} R_G}$$

Il guadagno ideale sarà dunque il seguente:

$$G_{Id} = \frac{v_{Out}}{v_{In}} = -\frac{1}{sC_{gd} R_G}$$

Una volta noto il guadagno ideale e il guadagno d'anello possiamo ricavare il guadagno del blocco di andata che sarà:

$$G = -G_{Id} G_{Loop} = -\frac{g_m R}{1 + sC_{gd} (R + R_G)}$$

Possiamo allora considerare la rappresentazione grafica mostrata in figura 14.

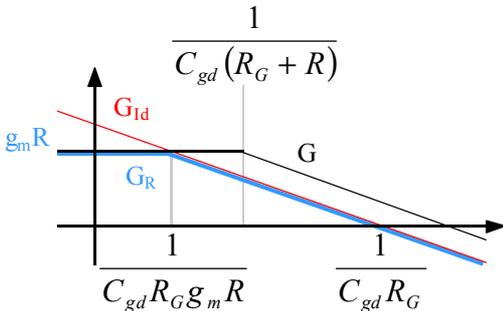


Figura 14

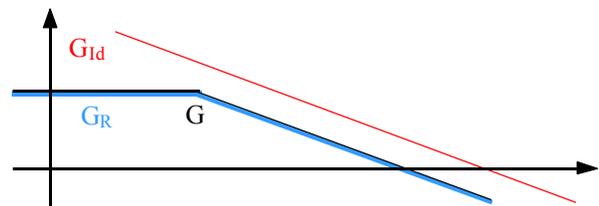


Figura 15

Il polo ad anello chiuso che vediamo in figura 14 risulta diverso dal polo che abbiamo valutato con i due metodi precedenti perché il grafico di tale figura fa riferimento solamente agli andamenti asintotici; notiamo inoltre che quando la resistenza R_G diventa piccola il grafico del guadagno ideale si sposta come mostrato in figura 15 e il guadagno reale coincide completamente con il guadagno del blocco di andata; il sistema smette dunque di essere reazionato.

Abbiamo dunque visto tre metodiche per ricavare il polo introdotto dalla capacità C_{gd} ; per quanto riguarda eventuali zeri introdotti dalla medesima capacità bisogna eseguire l'ispezione del circuito e vedere, con riferimento alla figura 6, che

la tensione di uscita è nulla quando non scorre corrente all'interno della resistenza R; ciò significa che tutta la corrente imposta dal MOS si riversa nella capacità C_{gd} , ovvero:

$$i_{gd} = i_D$$

Detta ora v la tensione sul gate del MOS avremo che, imponendo nulla la tensione di uscita, v sarà anche la caduta di tensione sulla capacità C_{gd} e quindi la corrente che la attraversa sarà:

$$i_{gd} = sC_{gd}v$$

La corrente imposta dal MOS sarà invece:

$$i_D = g_m v$$

Uguagliamo dunque le ultime due relazioni scritte ottenendo:

$$sC_{gd}v = g_m v$$

dalla quale si ricava che lo zero imposto dalla capacità parassita C_{gd} è il seguente:

$$s = \frac{g_m}{C_{gd}}$$

Abbiamo dunque trovato uno zero reale positivo; tale zero si sarebbe potuto ricavare anche sfruttando la teoria della reazione tenendo conto del guadagno diretto: per fare questo è necessario spegnere il generatore pilotato e quindi sfruttare il circuito mostrato in figura 16. Come conseguenza della presenza dello zero il grafico del guadagno reale avrà l'andamento qualitativo mostrato in figura 17.

Se oltre alla capacità parassita C_{gd} ci fosse anche la capacità parassita C_{gs} , come mostrato in figura 18, i poli da trovare sarebbero due e l'utilizzo della teoria della reazione sarebbe oltremodo lungo e macchinoso; si preferisce in questo caso utilizzare il metodo delle costanti di tempo. Nel caso in questione notiamo come si possa, per comodità, fare riferimento al circuito di figura 19; valutiamo dunque le costanti di tempo relative alle singole capacità: consideriamo prima la sola capacità C_{gs} e apriamo la capacità C_{gd} (come mostrato in figura 20); si ricava così:

$$\tau_{gs}^0 = C_{gs} R_G$$

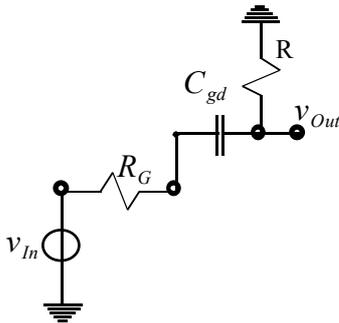


Figura 16

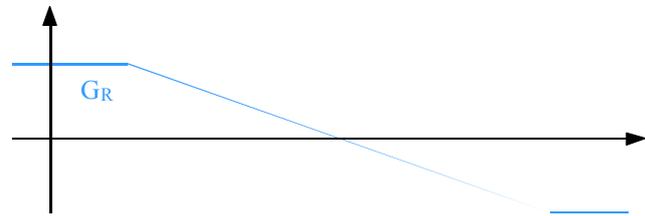


Figura 17

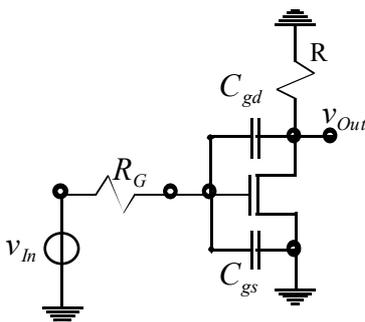


Figura 18

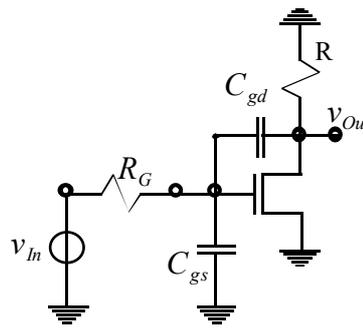


Figura 19

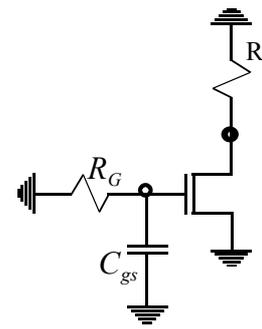


Figura 20

Usando ancora la sola C_{gs} ma chiudendo a corto circuito al C_{gd} (come mostrato in figura 21) si ricava invece:

$$\tau_{gs}^\infty = C_{gs} \left(R_G // R // \frac{1}{g_m} \right)$$

Data l'enorme disparità numerica che di solito caratterizza le resistenze sul circuito e $1/g_m$ si può solitamente scrivere:

$$\tau_{gs}^\infty = C_{gs} (R_G // R)$$

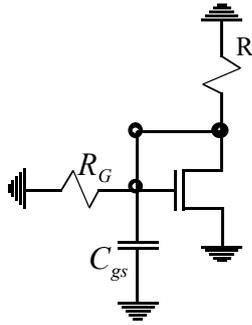


Figura 21

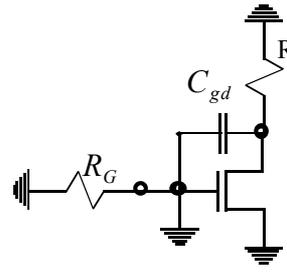


Figura 22

Utilizzando la sola capacità C_{gd} ed aprendo la capacità C_{gs} si torna nella situazione mostrata in figura 6 e quindi il calcolo della costante di tempo ci porta nuovamente al valore precedentemente trovato:

$$\tau_{gd}^0 = C_{gd} [R + R_G (1 + g_m R)]$$

Utilizzando invece la sola C_{gd} e mettendo in corto circuito la C_{gs} si ottiene il circuito di figura 22 dal quale si ricava:

$$\tau_{gd}^\infty = C_{gd} R$$

Il polo a bassa frequenza avrà dunque una costante di tempo data dalla seguente relazione:

$$\tau_L = \tau_{gs}^0 + \tau_{gd}^0$$

mentre il polo ad alta frequenza avrà una costante di tempo data dalla seguente relazione:

$$\tau_H = \frac{1}{\frac{1}{\tau_{gs}^\infty} + \frac{1}{\tau_{gd}^\infty}}$$

Una volta trovati i poli è necessario ricavare gli zeri e anche per fare questo devo considerare una capacità alla volta: quando considero la sola capacità C_{gd} ricavo nuovamente lo zero visto in precedenza mentre utilizzando la sola C_{gs} notiamo che non ci sono zeri associati.

Impedenza di ingresso e di uscita per il source a massa. Stadio a doppio carico. Stadio source follower. Stadio gate a massa.

Concludiamo il discorso relativo allo stadio source a massa andando a valutarne l'impedenza di ingresso e l'impedenza di uscita. Per quanto riguarda l'impedenza di ingresso, facendo riferimento alla figura 1, vediamo come si possa fare un passo in avanti e considerare la capacità parassita C_{GS} in parallelo ad una impedenza che chiamiamo Z_{In}^1 (si veda la figura 2)

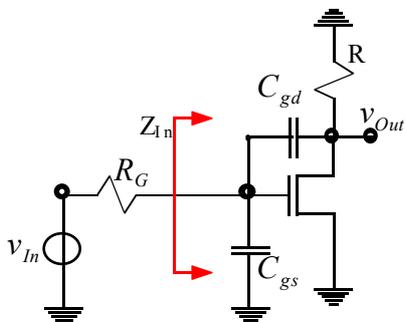


Figura 1

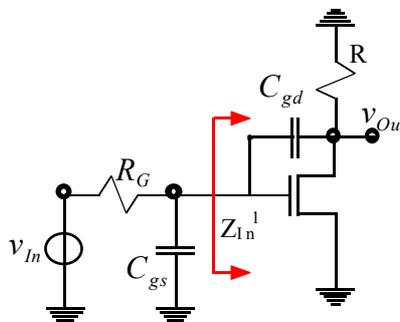


Figura 2

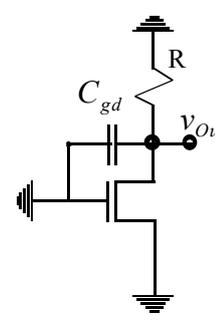


Figura 3

L'impedenza di ingresso complessiva sarà poi dunque data dalla relazione:

$$Z_{In} = Z_{In}^1 // \frac{1}{sC_{GS}}$$

Vogliamo utilizzare la teoria della reazione e quindi ci soffermiamo sul circuito mostrato in figura 3. Imponiamo ora un generatore di tensione (figura 4), spegnamolo e valutiamo il guadagno d'anello (figura 5).

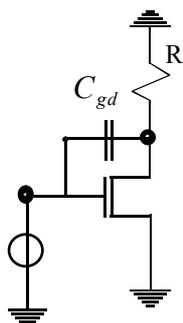


Figura 4

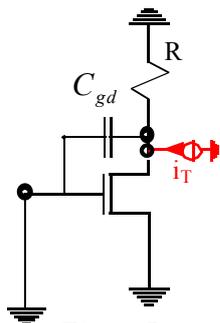


Figura 5

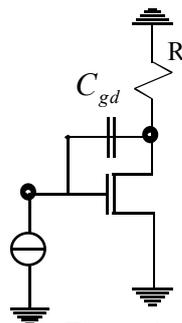


Figura 6

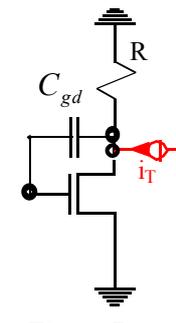


Figura 7

Dalla topologia del circuito si osserva come sia:

$$i_{Out}^{Test} = -i_D$$

Siccome però sia il gate che il source del MOS vengono a trovarsi a terra, la corrente di drain imposta sarà nulla e quindi è nullo anche il guadagno d'anello. Pongo dunque un generatore di corrente (figura 6) poi lo spengo e valuto nuovamente il guadagno d'anello. In questo secondo caso notiamo che la corrente di test entra tutta nella resistenza R e vi causa una caduta di tensione data da:

$$v_R = Ri_T$$

Dalla topologia del circuito notiamo ora come sia:

$$v_G = v_D = v_R = Ri_T$$

e quindi:

$$v_{GS} = v_G - v_S = v_G = Ri_T$$

La corrente imposta dal MOS sarà dunque:

$$i_D = g_m v_{GS} = g_m Ri_T$$

e dunque:

$$i_{Out}^{Test} = -i_D = -g_m Ri_T$$

Il guadagno d'anello è dunque:

$$G_{Loop} = \frac{i_{Out}^{Test}}{i_T} = -g_m R$$

Abbiamo dunque trovato che il circuito è stabilizzato in tensione e quindi l'impedenza cercata potrà essere ricavata dalla seguente relazione:

$$Z_{in}^1 = (Z_{in}^1)_{OL} \frac{1}{1 - G_{Loop}}$$

Per calcolare l'impedenza Z_{in}^1 non reazionata si spegne il generatore pilotato con il quale si può modellizzare il MOS e quindi ci si ritrova con il circuito di figura 8.

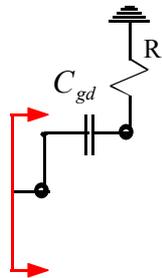


Figura 8

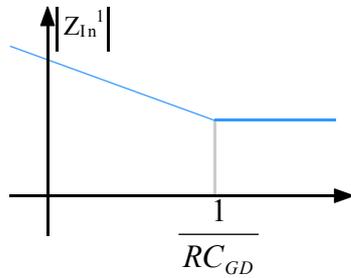


Figura 9

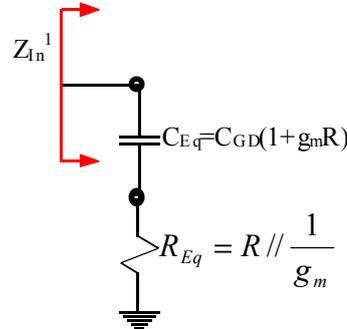


Figura 10

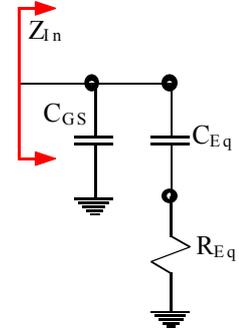


Figura 11

Molto semplicemente si avrà quindi:

$$(Z_{in}^1)_{OL} = R + \frac{1}{sC_{GD}} = \frac{1 + sRC_{GD}}{sC_{GD}}$$

L'impedenza Z_{in}^1 è dunque:

$$Z_{in}^1 = \frac{1 + sRC_{GD}}{sC_{GD}} \frac{1}{1 + g_m R}$$

E' dunque possibile realizzare un grafico dell'andamento in frequenza dell'impedenza in ingresso che vediamo rappresentato in figura 9. Per valutare il valore dell'impedenza sul plateau finale uso la solita approssimazione che prevede di trascurare il valore unitario associato a tutte le singolarità a sinistra del punto che mi interessa; nel nostro caso questo ci porta alla seguente espressione:

$$(Z_{in}^1)_{s \rightarrow \infty} = \frac{sRC_{GD}}{sC_{GD}} \frac{1}{1 + g_m R} = \frac{R}{1 + g_m R}$$

Dopo aver trovato l'impedenza Z_{in}^1 notiamo che il circuito di figura 3 può essere modellizzato con un circuito equivalente come quello mostrato in figura 10. Questa nuova visualizzazione del circuito è utile per quando si vuole andare a tener conto anche della capacità parassita C_{GS} e ottenere dunque l'impedenza di ingresso complessiva: si ottiene infatti il circuito di figura 11.

Passiamo ora a valutare l'impedenza di uscita e quindi facciamo riferimento alla figura 12.

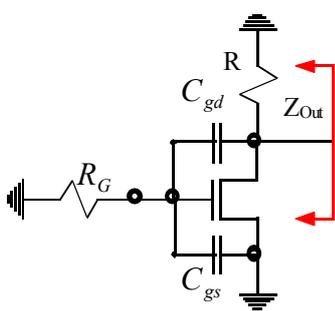


Figura 12

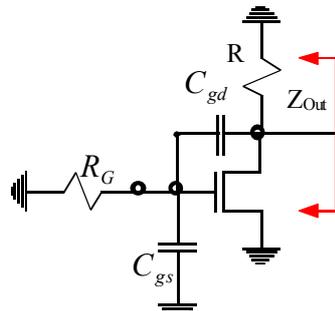


Figura 13

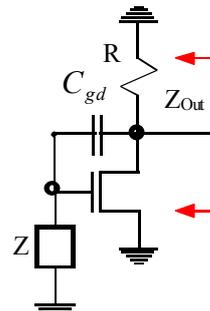


Figura 14

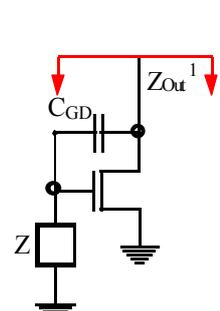


Figura 15

Siccome la capacità parassita C_{GS} può essere vista come collegata a terra possiamo modificare il circuito fino ad ottenere quello mostrato in figura 13. Per comodità costruiamo poi una impedenza Z definita come:

$$Z = R_G // \frac{1}{sC_{GS}}$$

e quindi si passa al circuito semplificato di figura 14. Notiamo infine che si può fare un salto in avanti, escludere la resistenza R_D dall'analisi e valutare un'impedenza Z_{out}^1 ; l'impedenza di uscita complessiva si otterrà dunque tramite la relazione:

$$Z_{Out} = Z_{Out}^1 // R_D$$

Complessivamente si deve dunque fare riferimento al circuito di figura 15. Vogliamo utilizzare anche in questo caso la teoria della reazione e quindi imponiamo un generatore di tensione (figura 16), poi lo spegniamo e valutiamo il guadagno d'anello (figura 17).

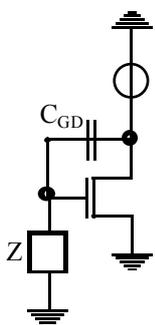


Figura 16

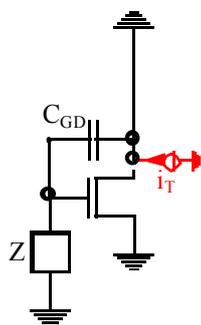


Figura 17

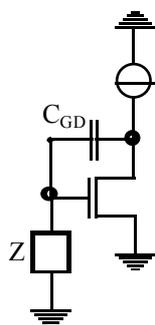


Figura 18

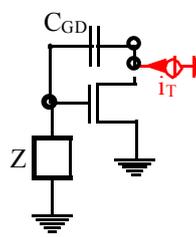


Figura 19

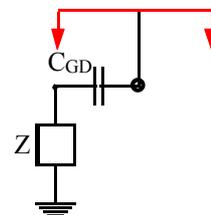


Figura 20

In questa situazione notiamo che tutta la corrente di test introdotta si scarica subito a terra e di conseguenza non c'è guadagno d'anello. Poniamo dunque un generatore di corrente (figura 18) poi lo spegno e valuto nuovamente il guadagno d'anello. In questo caso (figura 19) notiamo che tutta la corrente di test introdotta entra nella serie formata dalla capacità parassita C_{GD} e dall'impedenza Z ; la caduta di tensione su quest'ultima impedenza sarà dunque:

$$v_Z = Zi_T$$

Dalla topologia del circuito si ricava poi che:

$$v_{GS} = v_Z$$

e dunque la corrente imposta dal MOS sarà:

$$i_D = g_m v_{GS} = g_m v_Z = g_m Zi_T$$

Abbiamo infine:

$$i_{Out}^{Test} = -i_D = -g_m Zi_T$$

e quindi il guadagno d'anello sarà:

$$G_{Loop} = \frac{i_{Out}^{Test}}{i_T} = -g_m Z$$

Abbiamo dunque ricavato che il circuito è stabilizzato in tensione e quindi l'impedenza di uscita Z_{Out}^1 si può calcolare sfruttando la relazione:

$$Z_{Out}^1 = (Z_{Out}^1)_{OL} \frac{1}{1 - G_{Loop}}$$

Per calcolare l'impedenza Z_{Out}^1 non reazionata si spegne il generatore pilotato con il quale si può modellizzare il MOS e quindi ci si ritrova con il circuito di figura 20 dal quale si ricava, molto semplicemente che:

$$(Z_{Out}^1)_{OL} = \frac{1}{sC_{GD}} + Z = \frac{1 + sZC_{GD}}{sC_{GD}}$$

Per semplicità di calcolo ci porremo, da ora in poi, nell'ipotesi semplificativa secondo la quale sia:

$$Z = R_G$$

Avremo dunque:

$$Z_{Out}^1 = \frac{1 + sR_G C_{GD}}{sC_{GD}} \cdot \frac{1}{1 + g_m R_G}$$

A questo punto possiamo ricavare l'impedenza di uscita complessiva.

Dopo aver analizzato in maniera completa lo stadio source a massa vediamo altri stadi di particolare interesse. Iniziamo dunque con il riprendere lo stadio source a massa aggiungendogli una resistenza anche sul source stesso e ottenendo così la configurazione mostrata in figura 21 che prende il nome di doppio carico. La resistenza che è stata aggiunta prende il nome di resistenza di degenerazione. In questa situazione possiamo notare che la tensione di ingresso v_{in} non si trasferisce completamente sulla v_{GS} in quanto una parte andrà a cadere sulla resistenza R_S . Per vedere quanta tensione cade sulla resistenza di degenerazione andiamo a valutare l'equivalente Thevenin di tutto quello che ho sopra la resistenza R_S stessa; dopodiché si sfrutterà un circuito semplicissimo mostrato in figura 22. Per calcolare la tensione di Thevenin v_{Th} si spegne il generatore di corrente con il quale si può modellizzare il MOS. Se la corrente di drain del MOS è nulla è nulla anche la tensione v_{GS} e quindi rimane:

$$v_{Th} = v_{In}$$

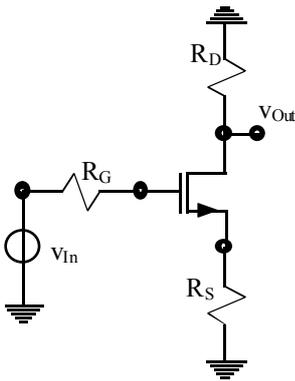


Figura 21

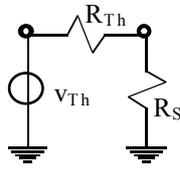


Figura 22

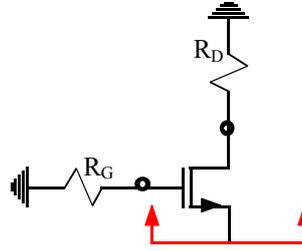


Figura 23

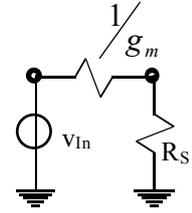


Figura 24

Per valutare la resistenza dell'equivalente Thevenin dobbiamo spegnere il generatore forzante; come si vede dalla figura 23 ci troviamo a guardare dentro in un source e questo corrisponde, quando non siamo in presenza della resistenza di uscita del MOS a vedere il termine $1/g_m$. Il circuito di figura 22 può dunque essere ridisegnato come mostrato in figura 24. La caduta di tensione sulla resistenza R_S sarà dunque:

$$v_S = v_{In} \frac{R_S}{R_S + 1/g_m} = v_{In} \frac{R_S g_m}{1 + R_S g_m} \quad (1)$$

Come conseguenza la caduta di tensione v_{GS} sarà la complementare a questa, ovvero:

$$v_{gs} = v_{In} \frac{1/g_m}{R_S + 1/g_m} = v_{In} \frac{1}{1 + R_S g_m}$$

La corrente di drain imposta dal MOS sarà allora:

$$i_D = g_m v_{gs} = v_{In} \frac{g_m}{1 + R_S g_m}$$

La corrente di drain sarà anche la medesima corrente che attraversa la resistenza R_D e quindi la caduta di tensione su tale resistore sarà:

$$v_D = R_D i_D = v_{In} \frac{g_m R_D}{1 + R_S g_m}$$

Dalla topologia del circuito si osserva infine come sia:

$$v_{Out} = -v_D = -v_{In} \frac{g_m R_D}{1 + R_S g_m}$$

Dunque il guadagno di tensione di questo stadio sarà:

$$A_V = \frac{v_{Out}}{v_{In}} = -\frac{g_m R_D}{1 + R_S g_m}$$

La presenza del segno meno implica che anche lo stadio a doppio carico è uno stadio invertente. Notiamo che quando sia:

$$g_m R_S \gg 1$$

il guadagno di tensione diventa:

$$A_V \cong -\frac{R_D}{R_S}$$

e dunque si riesce a far dipendere il guadagno di tensione dal semplice rapporto di due resistenze (come nel caso degli amplificatori operazionali in configurazione invertente); bisogna osservare che il guadagno in tensione di uno stadio a doppio carico è comunque inferiore rispetto al guadagno in tensione di uno stadio source a massa.

Vediamo ora uno stadio differente: tale stadio ha la medesima topologia dello stadio a doppio carico ma presenta l'uscita sul source del MOS invece che sul drain (si veda la figura 25). Per questo stadio valgono gran parte delle considerazioni fatte per lo stadio a doppio carico, in particolare si possono ripetere i medesimi calcoli fino alla relazione (1). Dopodiché osserviamo che, data la topologia del circuito, si può scrivere:

$$v_{Out} = v_S = v_{In} \frac{g_m R_S}{1 + R_S g_m}$$

e quindi il guadagno di tensione di questa configurazione è il seguente:

$$A_V = \frac{v_{Out}}{v_{In}} = \frac{g_m R_S}{1 + R_S g_m}$$

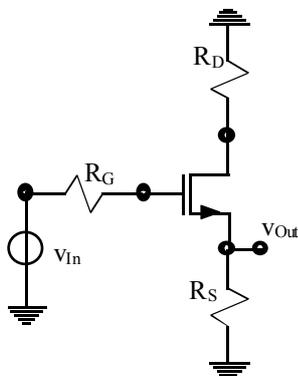


Figura 25

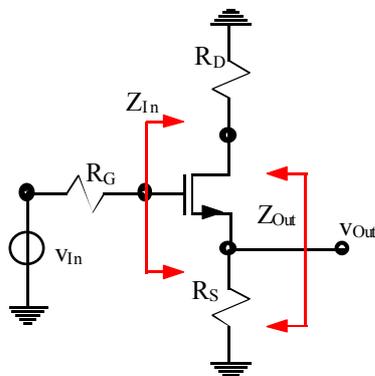


Figura 26

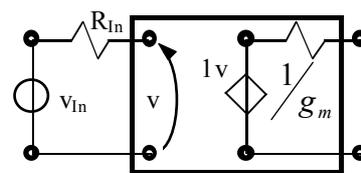


Figura 27

Notiamo allora che questo stadio è uno stadio non invertente e che, nel caso sia:

$$g_m R_S \gg 1 \quad (2)$$

il guadagno di tensione tende ad essere unitario. Facendo riferimento alla figura 26 notiamo come l'impedenza di ingresso di quest'ultimo stadio sia infinita (in quanto si guarda dentro il gate di un MOS) mentre l'impedenza di uscita è data dal parallelo tra la resistenza R_S e quello che vedo guardando dentro il source di un MOS, ovvero, nel caso in cui non si consideri la resistenza di uscita del MOS:

$$Z_{Out} = R_S \parallel \frac{1}{g_m}$$

Nella solita ipotesi esplicitata dalla relazione (2) si ha che l'impedenza di uscita è la sola $1/g_m$ che è solitamente abbastanza piccola. Il circuito di figura 25 può essere dunque visto come un buffer di tensione e può essere rappresentato come mostrato in figura 27. Notiamo che, ai fini del guadagno di tensione, la R_D non ha alcun peso e quindi questa configurazione può anche essere rappresentata come mostrato in figura 28.

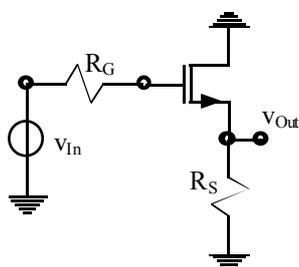


Figura 28

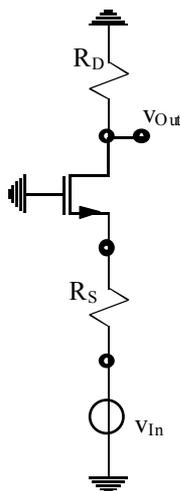


Figura 29

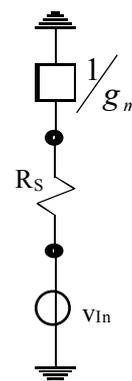


Figura 30

Proprio per questo motivo questa configurazione si chiama "drain a massa" oppure anche "source follower" nel senso che è il source a seguire l'ingresso.

Dopo aver visto lo stadio source a massa e lo stadio drain a massa è ovvio andare ad occuparci dello stadio "gate a massa" rappresentato in figura 29. Notiamo che, in assenza della resistenza di uscita del MOS, sopra la resistenza R_S guardo ancora dentro il source di un MOS e quindi possiamo considerare un circuito come quello di figura 30. Vediamo dunque che la corrente che viene introdotta nel circuito è data dalla seguente relazione:

$$i_{In} = \frac{v_{In}}{R_S + 1/g_m} = \frac{v_{In} g_m}{1 + R_S g_m}$$

Questa medesima corrente sarà anche quella che attraverserà la resistenza R_D e quindi la caduta di tensione su tale resistore sarà:

$$v_D = R_D i_{In} = \frac{v_{In} g_m R_D}{1 + R_S g_m}$$

Dalla topologia del circuito si ha poi che:

$$v_{Out} = v_D = \frac{v_{In} g_m R_D}{1 + R_S g_m}$$

e quindi il guadagno di tensione di questo stadio è:

$$A_V = \frac{v_{Out}}{v_{In}} = \frac{g_m R_D}{1 + R_S g_m}$$

Il circuito di figura 29 può essere visto come un buffer di corrente e può essere rappresentato come mostrato in figura 31.

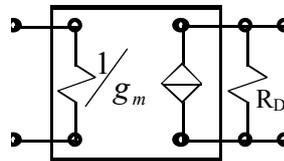


Figura 31

Tale buffer di corrente è ovviamente tanto migliore quanto più si abbia:

$$\begin{cases} 1/g_m \rightarrow 0 \\ R_D \rightarrow \infty \end{cases}$$

Transistor bipolare BJT.

Dopo esserci occupati in maniera abbastanza esauriente dei transistor in tecnologia MOS diamo un'occhiata anche ad un secondo tipo di transistor: i transistor a tecnologia BJT (Bipolar Junction Transistor). Come mostrato in figura 1 i transistor BJT sono composti da un sandwich di tre regioni composti da semiconduttori con differente drogaggio.

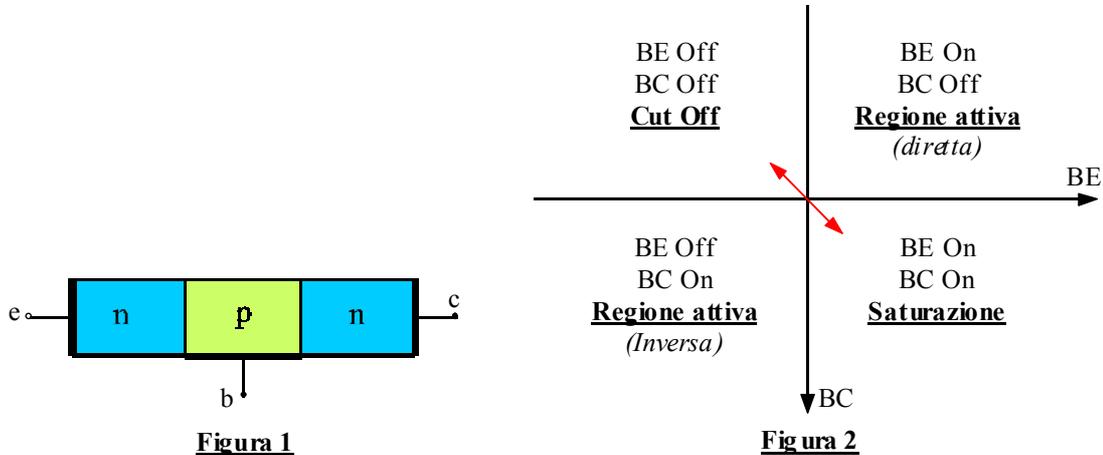


Figura 1

Figura 2

La porta e prende il nome di emettitore, la porta b prende il nome di base mentre la porta c prende il nome di collettore; emettitore e collettore hanno lo stesso significato di source e drain mentre la base corrisponde al gate di un MOS per quanto riguarda il controllo. Ovviamente esistono anche BJT complementari rispetto a quello mostrato in figura 1 e che hanno un comportamento assolutamente analogo.

Siccome siamo in presenza di due giunzioni possiamo avere quattro stati possibili che vengono riassunti nel diagramma di figura 2. La zona di Cut Off è una zona che nel MOS ha il suo analogo quando non si è formato il canale; la zona di saturazione ha il suo analogo nel MOS quando si è in zona triodo; la regione attiva diretta è l'analogo BJT della zona di saturazione per il MOS e viene utilizzata per l'amplificazione di piccolo segnale; la regione attiva inversa è invece una zona usata molto di rado, per questo motivo affermiamo che il BJT è di fatto asimmetrico in quanto la regione attiva diretta (nella quale si opera per l'ottimizzazione dei segnali) è privilegiata rispetto alla regione attiva inversa.

Ci poniamo ora nella regione individuata dal primo quadrante per osservare l'effetto del transistor e facciamo riferimento alla situazione mostrata in figura 3.

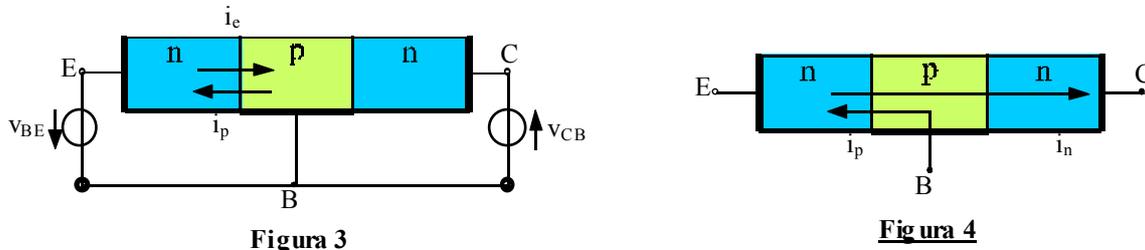


Figura 3

Figura 4

Siamo dunque nella situazione in cui la giunzione BE sia in diretta (è stata abbassata la differenza di potenziale); sono stati inoltre indicati i due flussi i_e ed i_p . Se la larghezza della base W_B fosse grande, i_n (si veda la figura 4) si muoverebbe verso B per cui è come se ci fosse una sola giunzione. Se invece si riduce W_B , la i_n fluisce tutta verso destra. In B non c'è la i_p e quindi si ha:

$$i_E = i_n + i_p$$

Se W_B fosse grande si avrebbe anche:

$$i_B = i_n + i_p \cong i_p$$

L'effetto del transistor consiste nella possibilità di controllare la corrente su uno dei terminali mediante una tensione imposta ai rimanenti due; con riferimento alla figura 4 si vede come, per la continuità delle due giunzioni, si riesca a controllare il flusso principale i_n tramite la tensione v_{BE} . Nell'immagine di figura 5 vediamo invece come si comportano le concentrazioni delle lacune nella struttura. Il discorso relativo a tali concentrazioni è simile a quello fatto per il diodo. La corrente al terminale E sarà dunque:

$$i_E = A_E \left(e^{\frac{v_{BE}}{v_T}} - 1 \right) \left\{ [i_n] + [i_p] \right\} = A_E \left(e^{\frac{v_{BE}}{v_T}} - 1 \right) \left\{ \left[qD_n + \frac{n_{p0}}{W_B} \right] + \left[qD_p \frac{p_{n0}}{W_E} \right] \right\}$$

Nella parentesi graffa vediamo apparire le componenti delle correnti di diffusione che sono definite, lo ricordiamo, nel modo seguente:

$$i_{diff} = qD \frac{\partial c}{\partial x}$$

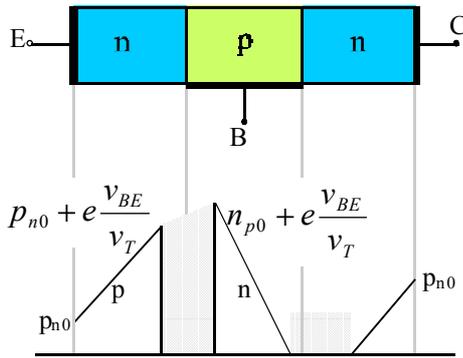


Figura 5

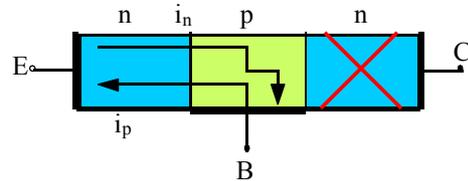


Figura 6

Usando drogaggi differenti per la prima zona n e la zona p si può far variare la i_E aumentando o diminuendo le i_n e le i_p . Sul terminale di base e sull'emettitore si avranno, rispettivamente:

$$\begin{cases} n_{p0} = \frac{n_i^2}{N_{AB}} \\ p_{n0} = \frac{n_i^2}{N_{DE}} \end{cases}$$

Avremo dunque:

$$\frac{i_n}{i_p} = \left(\frac{N_{DE}}{N_{AB}} \right) \frac{D_n}{D_p} \cdot \frac{W_E}{W_B}$$

Il termine tra parentesi è il termine dominante ed è quello che mi permette di pilotare la situazione a vantaggio dell'una o dell'altra zona; se tale termine fosse molto grande avrei:

$$i_E = i_n + i_p \cong i_n$$

mentre se invece fosse piccolo si avrebbe:

$$i_B \cong i_p$$

La corrente di collettore sarà invece:

$$i_C = i_n = A_E q D_n \frac{n_i^2}{N_{AB}} \cdot \frac{1}{W_B} e^{\frac{v_{BE}}{v_T}} = i_s e^{\frac{v_{BE}}{v_T}}$$

Si noti che in questo caso c'è il segno di uguaglianza (e non di circa uguale come nel caso della i_E) si nota inoltre che nell'ultima relazione scritta si è ommesso un -1 in quanto siamo in diretta. Mettiamoci ora nel caso in cui la seconda giunzione sia lontana, ovvero nel caso rappresentato in figura 6. Tanto più la lunghezza della base è piccola (non può mai comunque tendere a zero) tanto più la corrente i_n proseguirà verso la seconda zona n; esiste sempre però una piccola parte che finisce in base. Se scambiassimo E con C il discorso fatto per il rapporto i_n/i_p ci porta a dire che la corrente iniettata è molto piccola e quindi abbiamo un pessimo transistor con una i_p molto elevata e quindi con una grande spesa per il funzionamento.

Osserviamo ora alcune relazioni tra le correnti del BJT:

$$\begin{cases} i_B = \frac{1}{\beta} i_C \\ i_E = \frac{1}{\alpha} i_C \end{cases}$$

I parametri α e β non sono indipendenti tra di loro perché vale la relazione:

$$i_E = i_B + i_C = \frac{1}{\beta} i_C + i_C = \frac{1}{\alpha} i_C$$

Soffermandosi sugli ultimi due membri di tale espressione si ricava:

$$\frac{1}{\alpha} i_C = \frac{1 + \beta}{\beta} i_C$$

dalla quale si ricava:

$$\frac{1}{\alpha} = \frac{1 + \beta}{\beta}$$

Bisogna notare che α è un parametro un po' più stabile rispetto a β che, invece, è un po' più esplosivo ed è, tra l'altro, quello che viene solitamente dato. Una volta visti questi legami e sapendo che:

$$i_C = i_s e^{\frac{v_{DE}}{v_T}}$$

si possono valutare:

$$\begin{cases} i_E = \frac{i_s}{\alpha} e^{\frac{v_{DE}}{v_T}} \\ i_B = \frac{i_s}{\beta} e^{\frac{v_{DE}}{v_T}} \end{cases}$$

In generale (si tratta di limiti superiori):

$$\begin{cases} \beta \gg 1 \\ \alpha \cong 1 \end{cases}$$

e quindi:

$$\begin{cases} i_E \cong i_C \\ i_B \cong 0 \end{cases}$$

Tutto quanto visto fino ad ora vale per BJT in regione attiva (indifferentemente inversa o diretta in quanto le relazioni sono le medesime, bisogna però notare che in inversa i parametri α e β hanno valori pessimi). Osservando la figura 7 si arriva a comprendere il motivo per cui il simbolo circuitale del BJT sia quello mostrato in figura 8.

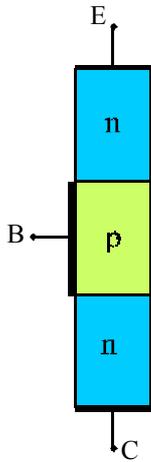


Figura 7

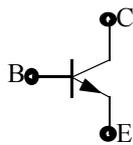


Figura 8

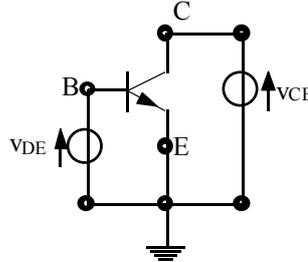


Figura 9

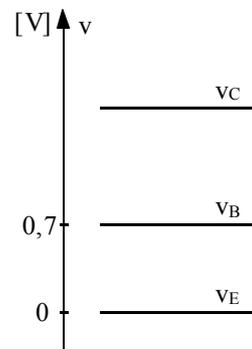


Figura 10

La freccia ha il medesimo significato che aveva nel MOS: indica il verso del flusso principale. Consideriamo ora il circuito di figura 9; come mostrato in figura 10, il valore critico della tensione di C è quello che permette il superamento del valore della base (solitamente 0,7V); si ha dunque:

$$v_{CE} = v_{CB} + 0,7V$$

Quando però la v_{CE} è molto grande si può considerare la seguente approssimazione:

$$v_{CE} \cong v_{CB}$$

Concentriamoci ora sulle caratteristiche di uscita del BJT e facciamo riferimento al grafico di figura 11 nel quale vediamo che la v_{CE}^{Sat} è in realtà inferiore agli 0,7V citati in precedenza, questo perché, in realtà, la v_{CE} può scendere un pochino sotto la v_B . L'espressione della corrente sarà allora la seguente:

$$i_C = i_s e^{\frac{v_{BE}}{v_T}} (1 + \lambda v_{CE})$$

dove il termine tra parentesi esprime l'inclinazione. Anche per il BJT, così come per il MOS, è possibile definire una resistenza di uscita tramite la tensione di Early; si ha infatti:

$$\frac{1}{r_{Out}} = \frac{\partial i_C}{\partial v_{CE}} \cong \lambda i_C = \frac{i_C}{v_A}$$

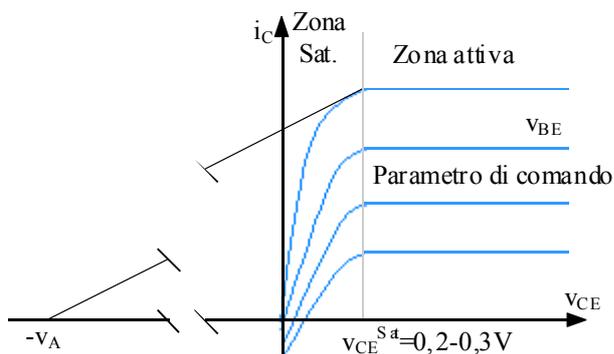


Figura 11

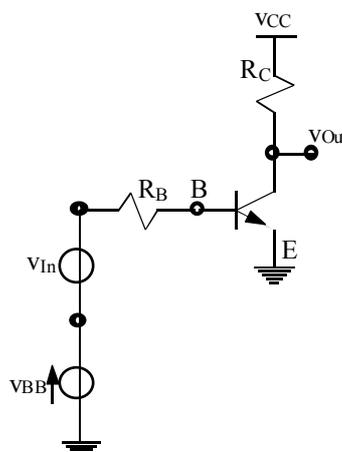


Figura 12

Consideriamo ora il circuito mostrato in figura 12 nel quale è stato aggiunto un generatore per il piccolo segnale. Una importante differenza tra i BJT e i MOS sta nel fatto, dunque, che nei BJT scorre corrente anche attraverso la base (in effetti sulla base possiamo pensare ad un diodo con una tensione di circa 0,7V); una volta trovata la corrente i_B risulterà automaticamente ricavata anche la corrente i_C (per il legame tra le due che prima abbiamo visto). Una volta supposto il BJT polarizzato possiamo andare a definire come segue il termine g_m associato a questo tipo di transistor:

$$g_m = \frac{\partial i_C}{\partial v_{BE}}$$

essendo però:

$$i_C = i_S e^{\frac{v_{BE}}{v_T}}$$

si ricava:

$$g_m = \frac{i_C}{v_T}$$

che nella struttura è simile al termine g_m valutato per il MOS. Valutiamo ora l'impedenza di ingresso nel collettore del BJT (per un MOS equivaleva all'impedenza in ingresso nel drain che era nulla); si avrà:

$$\frac{1}{r_\pi} = \frac{\partial i_B}{\partial v_{BE}} = \frac{i_B}{v_T} = \frac{1}{\beta} \frac{i_C}{v_T} = \frac{g_m}{\beta}$$

Guardando invece all'interno dell'emettitore del BJT (che equivale a guardare all'interno del source di un MOS), si avrà:

$$\frac{1}{r_e} = \frac{\partial i_E}{\partial v_{BE}} = \frac{i_E}{v_T} = \frac{1}{\alpha} \frac{i_C}{v_T} = \frac{g_m}{\alpha}$$

e quindi:

$$r_e = \frac{\alpha}{g_m} \cong \frac{1}{g_m}$$

Il circuito equivalente al BJT è dunque quello mostrato in figura 13.

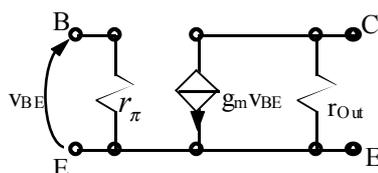


Figura 13

Notiamo che la differenza con il circuito equivalente di un MOS è principalmente data dalla resistenza r_π .

Transistor bipolare BJT. Impedenze equivalenti. Stadio emitter follower. Stadi di uscita. Generatori di corrente. Circuito Push-Pull.

Nell'ultima lezione siamo arrivati a rappresentare il circuito equivalente di un BJT che può essere completato come mostrato in figura 1.

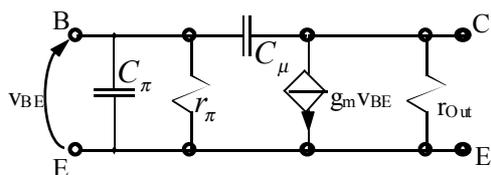


Figura 1

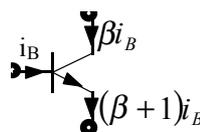


Figura 2

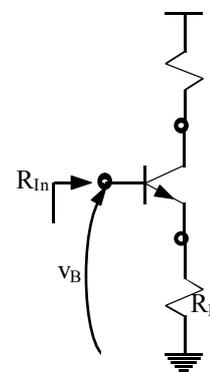


Figura 3

Ricordiamo inoltre le seguenti espressioni alle quali si era giunti:

$$\left\{ \begin{array}{l} r_{\pi} = \frac{\beta}{g_m} \\ g_m = \frac{v_T}{i_C} \\ r_{Out} = \frac{v_A}{i_C} \\ r_e = \frac{\alpha}{g_m} \end{array} \right.$$

Sfruttando i legami che ci sono tra le varie correnti del BJT (un esempio è mostrato in figura 2), possiamo combinare le reazioni precedentemente trovate per legare in maniera differente le grandezze in gioco; possiamo allora esprimere r_{π} e g_m in funzione di r_e ottenendo:

$$\left\{ \begin{array}{l} r_{\pi} = (\beta + 1)r_e \\ \frac{1}{g_m} = \frac{r_e}{\alpha} \cong r_e \end{array} \right.$$

Facciamo ora riferimento al circuito di figura 3 e valutiamo l'impedenza di ingresso di tale stadio (che, a differenza del MOS, non sarà infinito perché c'è corrente che scorre tra B ed E mentre nel MOS la corrente non scorreva da G ad S). Notiamo dunque che, dalla topologia del circuito, è possibile ricavare la seguente espressione:

$$v_B = v_{BE} + v_{R_E}$$

dove ovviamente sarà:

$$v_{R_E} = R_E i_E$$

Imponiamo dunque una corrente alla base del BJT, sappiamo che si avrà:

$$i_E = (\beta + 1)i_B$$

e quindi si ottiene:

$$v_B = v_{BE} + R_E (\beta + 1)i_B$$

L'impedenza di ingresso può dunque essere valutata nel modo seguente:

$$R_{In} = \frac{v_B}{i_B} = \frac{v_{BE}}{i_B} + R_E (\beta + 1)$$

ovvero:

$$R_{In} = r_{\pi} + R_E (\beta + 1)$$

e quindi anche:

$$R_{in} = (\beta + 1)r_e + R_E(\beta + 1) = (\beta + 1)(R_E + r_e)$$

Se la resistenza R_E entra in gioco quando si valuta l'impedenza di ingresso di figura 3, per il medesimo motivo la resistenza R_B non è influente quando si valuta l'impedenza di ingresso mostrata in figura 4.

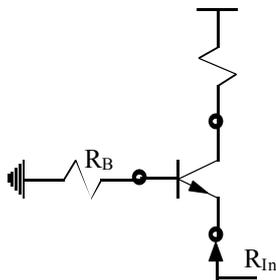


Figura 4

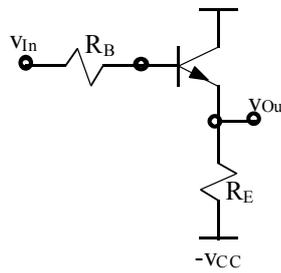


Figura 5

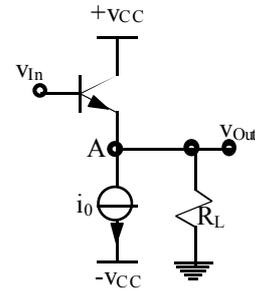


Figura 6

Con un discorso assolutamente analogo a quello precedente si ottiene la seguente impedenza di ingresso:

$$R_{in} = r_e + \frac{R_B}{\beta + 1}$$

Vediamo ora lo stadio per il BJT corrispondente allo stadio source follower per i MOS: lo stadio emitter follower (che vediamo rappresentato in figura 5). Vogliamo valutare il guadagno di piccolo segnale di questo stadio, spegniamo dunque la polarizzazione e notiamo che, come abbiamo visto in precedenza, l'impedenza vista guardando nella base del BJT sarà:

$$r_b = (\beta + 1)(R_E + r_e)$$

Ricaviamo ora la corrente che entra nella base del BJT sfruttando la seguente espressione:

$$i_b = \frac{v_{In}}{R_B + r_b} = \frac{v_{In}}{R_B + (\beta + 1)(R_E + r_e)}$$

Una volta nota la corrente che entra nella base sappiamo anche quale sia la corrente emessa dall'emitter:

$$i_e = (\beta + 1)i_b = \frac{(\beta + 1)}{R_B + (\beta + 1)(R_E + r_e)} v_{In}$$

La tensione di uscita sarà data dalla caduta di tensione che la corrente dell'emitter causa nel passaggio attraverso la resistenza R_E , ovvero:

$$v_{Out} = R_E i_e = \frac{R_E(\beta + 1)}{R_B + (\beta + 1)(R_E + r_e)} v_{In}$$

e quindi il guadagno di tensione dello stadio emitter follower è il seguente:

$$A_V = \frac{v_{Out}}{v_{In}} = \frac{R_E(\beta + 1)}{R_B + (\beta + 1)(R_E + r_e)}$$

Ponendo che sia:

$$R_B \ll r_b$$

ci si avvicina al limite della struttura MOS in quanto il guadagno in tensione diventa:

$$A_V = \frac{R_E(\beta + 1)}{(\beta + 1)(R_E + r_e)} = \frac{R_E}{R_E + r_e}$$

che ricorda appunto molto la struttura del guadagno di tensione per uno stadio source follower a tecnologia MOS che era:

$$A_V = \frac{R_S}{R_S + \frac{1}{g_m}}$$

Qualora poi sia anche:

$$r_e \ll R_E$$

si ottiene che il guadagno di tensione dello stadio emitter follower è unitario e quindi tale stadio può essere visto come un buffer di tensione.

Lo stadio emitter follower può essere utilizzato, per esempio, come stadio di uscita di un amplificatore a più stadi. Gli stadi di uscita sono degli stadi particolarmente delicati perché devono gestire potenze elevate e non lavorano più

nell'ambito del piccolo segnale ma lavorano con segnali di ampiezza piuttosto rilevante che dunque rischiano di essere distorti o di andare incontro all'effetto di cut-off. Vediamo dunque uno stadio di uscita basato sulla struttura emitter follower e facciamo dunque riferimento al circuito di figura 6. Per quanto riguarda il guadagno di piccolo segnale questo circuito è assolutamente identico al circuito di figura 5 nel quale si suppone di avere:

$$R_B \ll r_b$$

Il guadagno di piccolo segnale è dunque quello calcolato in precedenza che, adattato al caso in analisi, diventa:

$$A_V = \frac{v_{Out}}{v_{In}} = \frac{R_L}{R_L + r_e}$$

Avendo imposto un segnale sinusoidale si ottiene un'uscita sinusoidale, come mostrato in figura 7; facciamo dunque riferimento al nodo A, al quale applichiamo la legge di Kirchhoff ottenendo:

$$i_e = i_0 + i_L$$

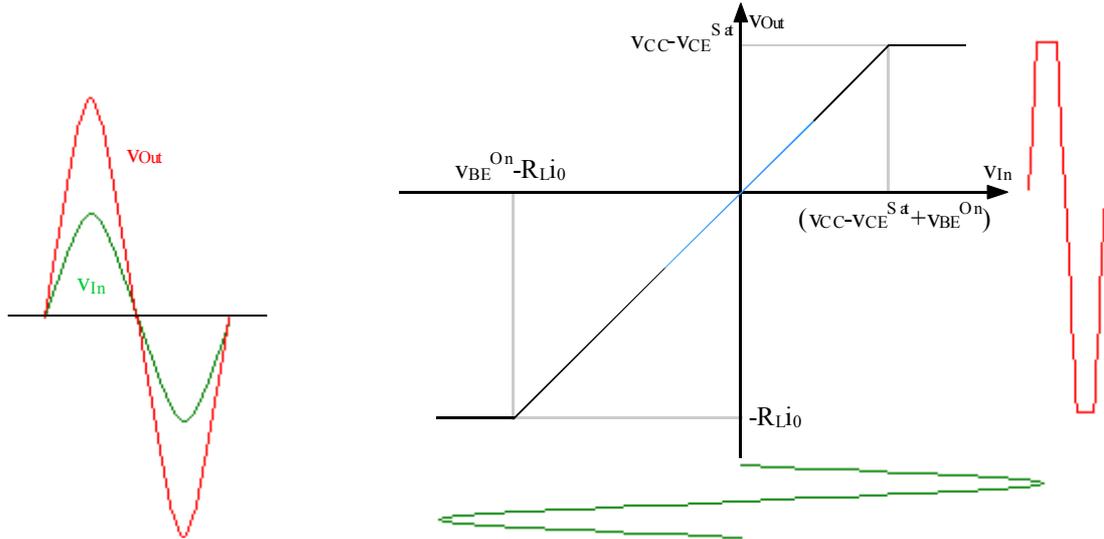


Figura 7

Figura 8

Notiamo dunque che quando la tensione di uscita sale deve per forza salire anche la corrente i_L che attraversa la resistenza di carico e ciò significa che, essendo i_0 costante, la corrente i_e deve aumentare; quando la corrente i_e supera una certa soglia si arriva in zona di saturazione. D'altra parte, quando la tensione di uscita diminuisce la corrente i_L invertirà il verso ed inizierà ad aumentare; quando diventa uguale in intensità con la corrente i_0 la corrente i_e si annulla e siamo così arrivati alla situazione di cut-off. La figura 8 riassume dunque la distorsione (perdita di simmetria) e l'effetto cut-off relativo ad un segnale troppo esteso; in questa immagine vediamo come la perfetta linearità è garantita solo in un intervallo piuttosto ristretto (pezzo azzurro della retta) entro il quale avevamo fino ad ora sempre visto l'analisi di piccolo segnale; la massima dinamica permessa per questo circuito è dunque ristretta dal fatto che bisogna stare attenti a non incorrere nel problema del cut-off. I BJT ci permettono anche di dare una descrizione un po' più realistica del generatore di corrente che fino ad ora abbiamo sempre modellizzato come un unico bipolo; in realtà il circuito di figura 6 andrebbe ridisegnato in modo un po' più realistico come mostrato in figura 9.

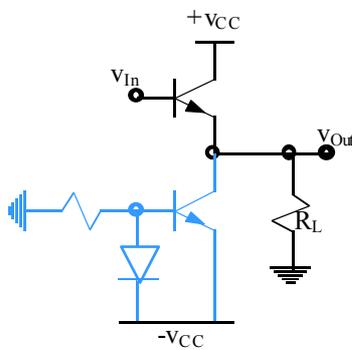


Figura 9

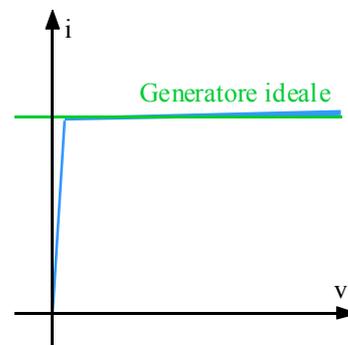


Figura 10

Il tratto di circuito sottolineato in azzurro è un generatore di corrente in quanto il suo circuito interno gli impone una caratteristica come quella mostrata in figura 10 che, come è facile vedere, si discosta ben poco dalla caratteristica di un generatore di corrente ideale. Il circuito di figura 6 (o 9) non è però un ottimo stadio di uscita: abbiamo infatti visto che

non garantisce una buona risposta quando il segnale è molto grande (in quanto ha una scarsa dinamica permessa) e inoltre dissipa gran parte della potenza sui suoi dispositivi. Facciamo infatti riferimento al grafico di figura 11 che rappresenta gli andamenti di v_{Out} , di v_{CE} e di i_C al massimo della dinamica imposta.

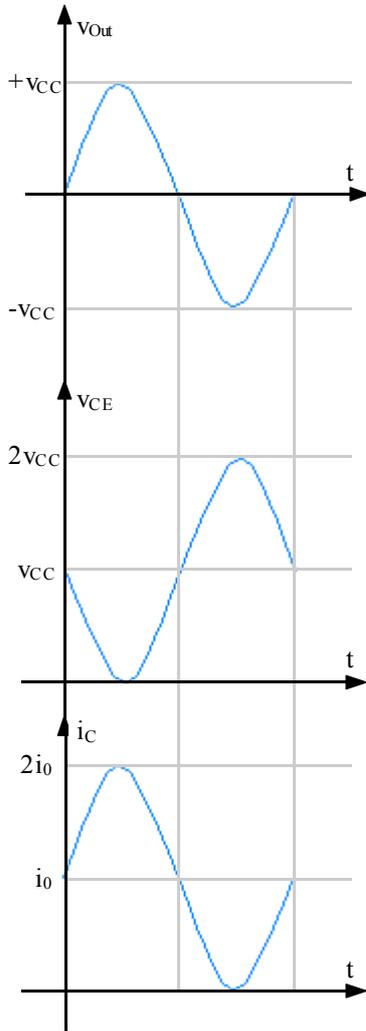


Figura 11

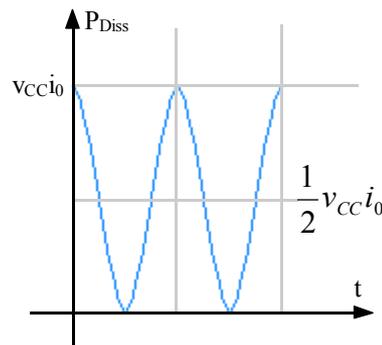


Figura 12

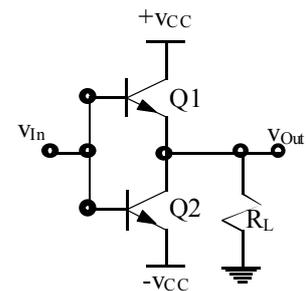


Figura 13

Dagli ultimi due grafici della figura 11 si può ricostruire il grafico della potenza dissipata che vediamo in figura 12. La potenza trasmessa al carico sarà:

$$P_L = \frac{1}{2} \frac{v_{Out}^2}{R_L}$$

mentre la potenza erogata dall'alimentatore è:

$$P_S = 2v_{CC}i_0$$

Il rendimento è quindi il seguente:

$$\eta = \frac{P_L}{P_S} = \frac{1}{4} \left(\frac{v_{Out}}{v_{CC}} \right) \left(\frac{v_{Out}}{R_L i_0} \right)$$

Dai grafici visti in precedenza si desume che i due termini tra parentesi nell'ultima relazione scritta possono valere al massimo 1 e quindi si ricava:

$$\eta = \frac{1}{4}$$

Questo stadio, dunque, dissipa il 75% della potenza sul dispositivo e ne trasmette solo il 25%.

Uno stadio che funziona sicuramente meglio di quello appena descritto è lo stadio detto Push-Pull, che vediamo in figura 13 (e che notiamo essere strutturalmente simile all'inverter C-MOS). Non ci soffermiamo sull'analisi della potenza dissipata ma solo sulla massima dinamica possibile; notiamo allora che, con riferimento alla figura 7, quando la tensione di uscita si alza, rimane acceso il transistor Q1 mentre si spegne Q2 e viceversa quando la tensione di uscita è

bassa. Come conseguenza la dinamica permessa è massimizzata, come è reso in maniera evidente dal grafico di figura 14.

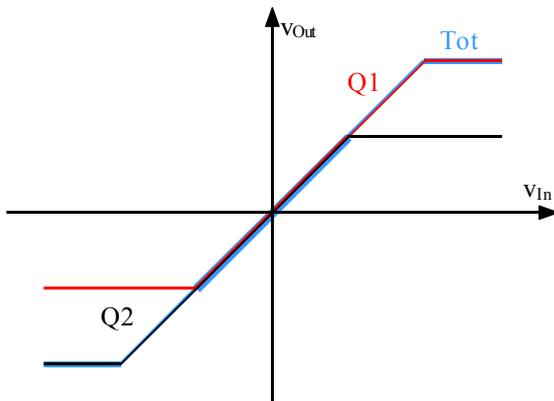


Figura 14

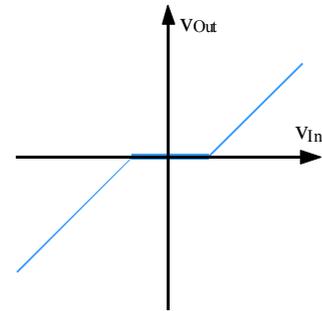


Figura 15

Notiamo che il circuito complessivo ha una dinamica permessa decisamente maggiore rispetto al caso in cui si utilizza un solo transistor; anche questo circuito non è però esente da problemi, se ci soffermiamo infatti sulla zona attorno all'origine degli assi (come mostrato in figura 15) si nota che a causa del ritardo nell'accensione dei BJT, si è comunque in presenza di una leggera distorsione del segnale (zona di cross-over).

Stadio differenziale. Specchio di corrente.

Torniamo ora all'analisi di alcuni importanti stadi MOS e concentriamoci sullo stadio detto differenziale (o bilanciato) che vediamo in figura 1.

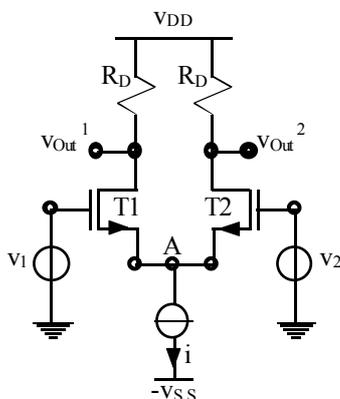


Figura 1

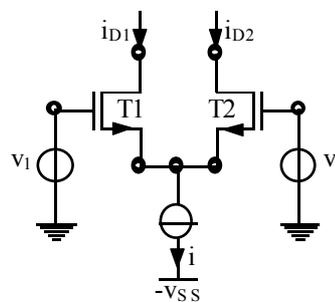


Figura 2

Supponiamo innanzitutto che i due MOS presenti siano assolutamente identici. Qualora, come nel caso in figura, sono presenti due uscite, si parla di stadio differenziale double ended; quando invece, altra combinazione possibile, è presente una sola uscita, indipendentemente da quale, si parla di stadio differenziale single ended. Dalla topologia del circuito appare evidente che, facendo riferimento alla legge di Kirchhoff al nodo A, si può scrivere:

$$i_{D_1} + i_{D_2} = i \quad (1)$$

Quando si spengono gli ingressi di segnale v_1 e v_2 per valutare la polarizzazione (rimarranno però accesi i segnali v_1 e v_2 di polarizzazione) si osserva come i due MOS si trovano ad avere la medesima v_{GS} e quindi si avrà:

$$i_{D_1} = i_{D_2} = \frac{i}{2}$$

L'analisi di piccolo segnale si differenzierà in questo caso in analisi di piccolo segnale di modo comune, nel quale sia:

$$v_1 = v_2 = v_{CM}$$

e in analisi di piccolo segnale di modo differenziale nella quale sia:

$$v_1 = -v_2$$

Il guadagno di tensione di questo stadio nel caso di ingresso comune è nullo e quindi si dice che lo stadio differenziale ha una reiezione per il modo comune. Siccome siamo in presenza di due uscite, è anche possibile valutare, come uscita complessiva, la differenza tra v_{Out1} e v_{Out2} .

Concentriamoci prima di tutto sulla polarizzazione (trascurando, come del resto abbiamo sempre fatto, il body-effect dei due MOS nonché le due resistenze di uscita); facciamo dunque riferimento alla figura 2 e consideriamo il seguente sistema:

$$\begin{cases} i_{D_1} = K(v_{GS_1} - v_T)^2 \\ i_{D_2} = K(v_{GS_2} - v_T)^2 \end{cases}$$

che possiamo riscrivere nel modo seguente:

$$\begin{cases} \sqrt{i_{D_1}} = \sqrt{K}(v_{GS_1} - v_T) \\ \sqrt{i_{D_2}} = \sqrt{K}(v_{GS_2} - v_T) \end{cases}$$

Poniamo poi:

$$v_{In}^{Diff} = v_1 - v_2$$

Sottraendo dunque membro a membro le equazioni dell'ultimo sistema scritto e combinando il risultato con l'ultima relazione scritta si ricava:

$$\sqrt{i_{D_1}} - \sqrt{i_{D_2}} = \sqrt{K}v_{In}^{Diff}$$

Combiniamo quest'ultima relazione con l'equazione 81) precedentemente vista e otteniamo così le seguenti due espressioni:

$$\begin{cases} i_{D_1} = \frac{i}{2} + \frac{i}{v_{GS_0} - v_T} \cdot \frac{v_{In}^{Diff}}{2} \sqrt{1 - \frac{v_{In}^{Diff}/2}{v_{GS_0} - v_T}} \\ i_{D_2} = \frac{i}{2} - \frac{i}{v_{GS_0} - v_T} \cdot \frac{v_{In}^{Diff}}{2} \sqrt{1 - \frac{v_{In}^{Diff}/2}{v_{GS_0} - v_T}} \end{cases}$$

dove v_{GS_0} è la tensione di attivazione corrispondente alla situazione nella quale v_1 e v_2 sono nulle ed è quindi quella tensione porta i_{D_1} e i_{D_2} ad essere pari alla metà di i . Graficamente possiamo allora costruire il grafico mostrato in figura 3.

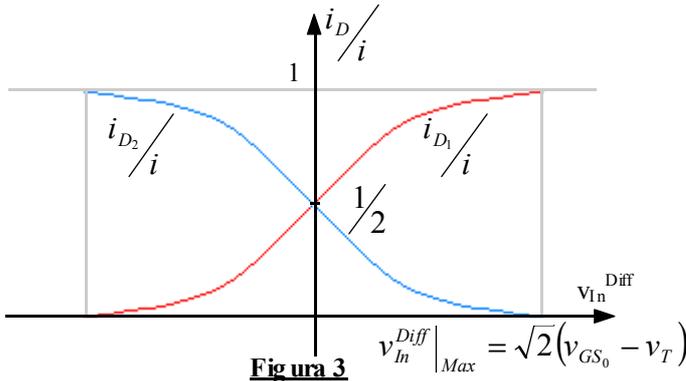


Figura 3

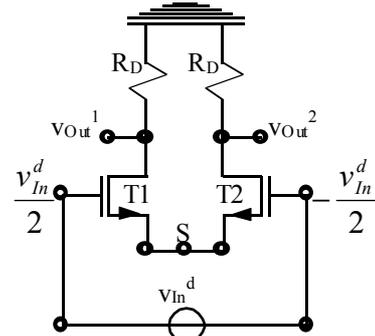


Figura 4

Una volta vista la polarizzazione possiamo concentrarci sulla risposta al piccolo segnale ed iniziamo occupandoci di un segnale differenziale; il circuito può essere ridisegnato come mostrato in figura 4. Siccome abbiamo imposto che i due MOS fossero assolutamente identici, è facile intuire come sia:

$$\begin{cases} g_{m_1} = g_{m_2} = g_m \\ i_1 = i_2 = g_m \frac{v_{In}^d}{2} \end{cases}$$

Si ottiene dunque:

$$\begin{cases} v_{Out}^1 = -g_m \frac{v_{In}^d}{2} R_D \\ v_{Out}^2 = g_m \frac{v_{In}^d}{2} R_D \end{cases}$$

Nel caso di stadio differenziale single ended, dunque, il guadagno di tensione dello stadio (a seconda di quale delle due uscite è presente) sarà:

$$\begin{cases} A_d = \frac{v_{Out}^1}{v_{In}^d} = -g_m \frac{R_D}{2} \\ A_d = \frac{v_{Out}^2}{v_{In}^d} = g_m \frac{R_D}{2} \end{cases}$$

Nel caso, invece, di stadio differenziale double ended, il guadagno dello stadio sarà il seguente:

$$A_d = \frac{v_{Out}^1 - v_{Out}^2}{v_{In}^d} = g_m R_D$$

Sofferamoci ora per un attimo sull'equivalente Thevenin del circuito visto al source S e che vediamo in figura 5; nel caso in cui, dunque, l'ingresso sia differenziale e i transistori siano identici, il circuito di figura 5 diventa assolutamente simmetrico e quindi il punto S avrà tensione identicamente nulla; essendo allora il source una massa virtuale possiamo considerare il circuito di figura 6. Sfruttando allora la simmetria possiamo ridurci ad un circuito come quello di figura 7 (che è un normalissimo source a massa) nel quale si considera solo metà del circuito di partenza (l'altra metà sarà ovviamente identica ma con i segni cambiati).

Per quanto riguarda la risposta al piccolo segnale di modo comune, facendo riferimento alla figura 8, vediamo che deve per forza essere:

$$i_1 = i_2 = 0$$

e quindi:

$$A_{CM} = 0$$

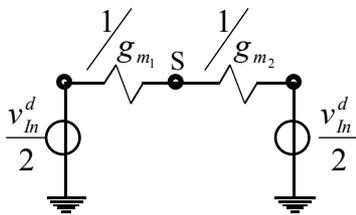


Figura 5

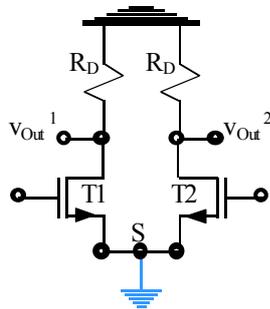


Figura 6

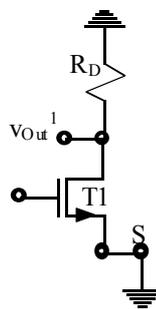


Figura 7

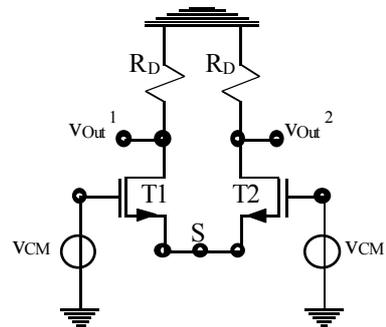


Figura 8

Nel caso di ingresso di modo comune, il circuito equivalente di Thevenin al source avrà una struttura pressochè identica a quella del circuito di figura 5 (pur di utilizzare generatori di tensione con tensione v_{CM}) ma il source non verrà ad essere a tensione nulla perché i due ingressi hanno in questo caso lo stesso verso. Attacchiamo ora al source una resistenza R_{SS} collegata a terra (potrebbe ad esempio essere la resistenza interna del generatore di corrente); avremo dunque un circuito come quello di figura 9.

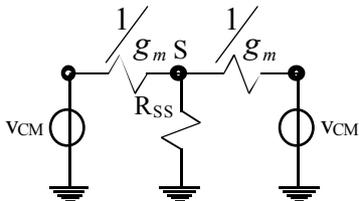


Figura 9

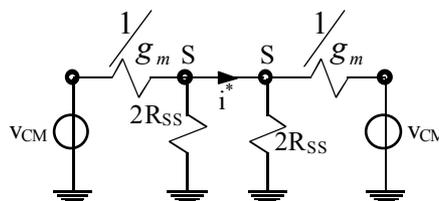


Figura 10

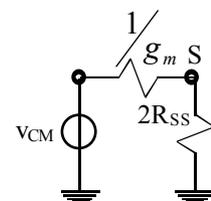


Figura 11

Splittiamo ora in due la resistenza R_{SS} ottenendo il circuito di figura 10. Per ragioni di simmetria la corrente i^* deve per forza essere nulla e quindi possiamo suddividere il circuito originale in due circuiti identici come quello mostrato in figura 11. Anche nel caso dell'ingresso di modo comune, dunque, è possibile considerare solo metà dello stadio differenziale di partenza, ognuna delle due metà del circuito avrà però la topologia mostrata in figura 12.

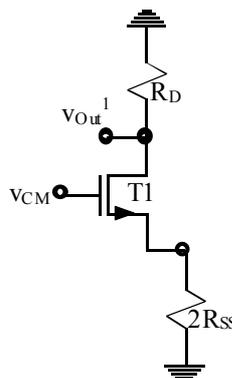


Figura 12

In figura 12 riconosciamo la struttura di uno stadio a doppio carico e quindi si avrà:

$$v_{Out}^1 = \frac{R_D}{2R_{SS} + \frac{1}{g_m}} v_{CM}$$

Nel caso di uno stadio differenziale double ended, dunque, il guadagno dello stadio sarà nullo (perché entrambe le metà avrebbero lo stesso guadagno che si annullerebbe dunque facendone la differenza), nel caso di uno stadio differenziale single ended, invece, il guadagno di modo comune sarà:

$$A_{CM} = \frac{R_D}{2R_{SS} + \frac{1}{g_m}}$$

Nel caso di uno stadio differenziale single ended, dunque (nel caso di un double ended non si può perché il guadagno di modo comune è nullo) possiamo valutare il CMRR dello stadio nel modo seguente:

$$CMRR = \frac{A_d}{A_{CM}} = \frac{\frac{1}{2} g_m R_D}{g_m R_D} (1 + 2R_{SS} g_m) = \frac{1}{2} (1 + 2R_{SS} g_m)$$

Passiamo ora ad un altro importante stadio detto specchio di corrente. Gli specchi di corrente sono stati studiati nell'ambito dei circuiti integrati nei quali è molto poco conveniente realizzare grosse resistenze; lo schema generale di uno specchio di corrente è quello mostrato in figura 13.

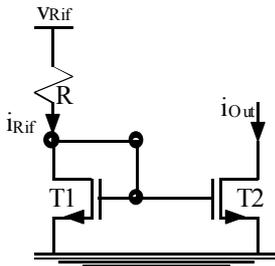


Figura 13

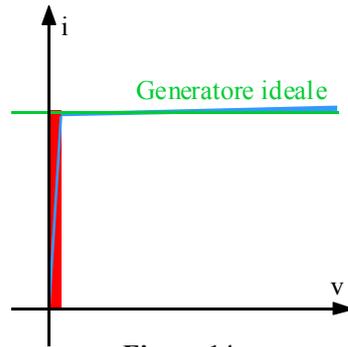


Figura 14

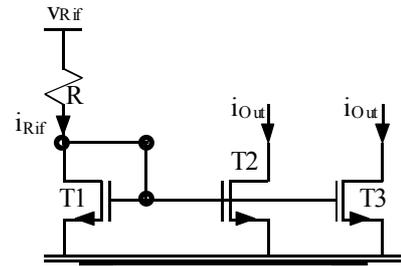


Figura 15

Notiamo innanzitutto che il transistor T1 non può che essere sempre in saturazione in quanto la sua v_{GD} è nulla e quindi è sempre sicuramente inferiore rispetto alla v_T che, invece, per ragioni fisiche, non può mai essere nulla ma sarà sempre positiva (essendo T1 un N-MOS). Essendo T1 in saturazione varrà la relazione secondo la quale:

$$i_{D_1} = i_{Rif} = \frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_{n_1} (v_{GS} - v_T)^2$$

Inoltre, sfruttando la topologia del circuito, appare evidente come sia:

$$i_{Rif} = \frac{v_{Rif} - v_{GS}}{R}$$

Mettendo a sistema le ultime due relazioni scritte possiamo ricavare la tensione v_{GS} . Notiamo che la topologia del circuito mi permette di affermare che le due v_{GS} sono assolutamente identiche e quindi, una volta trovata la v_{GS} dal transistor T1, posso utilizzarla per ricavare la corrente imposta dal transistor T2 e ottenere:

$$i_{D_2} = i_{Out} = \frac{1}{2} K_n^1 \left(\frac{W}{L} \right)_{n_2} (v_{GS} - v_T)^2$$

Si osserva dunque come sia:

$$\frac{i_{Out}}{i_{Rif}} = \frac{(W/L)_2}{(W/L)_1}$$

Se i due rapporti di forma sono uguali ho dunque uno specchio perfetto altrimenti si avrà uno specchio con guadagno o diminuzione di corrente. E' importante sottolineare che quello che mi permette di specchiare la corrente non è tanto la corrente di riferimento i_{Rif} quanto la tensione di comando v_{GS} che è la medesima nei due casi. La resistenza di uscita del transistor T2 è, in questo caso, la resistenza di uscita dello specchio stesso. Facendo riferimento alla figura 14 notiamo che, pur di stare al di fuori della zona rossa, uno specchio di corrente può essere visto come un generatore di corrente ideale in quanto le due caratteristiche sono molto simili. In figura 15 vediamo un distributore di corrente nel quale c'è una prima corrente che ne pilota diverse. In figura 16 vediamo invece un distributore di corrente nel quale sono contenuti sia N-MOS che P-MOS; ciò impone dei limiti dovuti al fatto che i vari transistor debbano restare in zona di saturazione. Tornando allo stadio differenziale possiamo allora sostituire il generatore di corrente simbolico che appare in figura 1 con uno specchio di corrente ed ottenere il circuito di figura 17. Complichiamo poi ulteriormente la situazione ed utilizziamo, invece dei due carichi passivi R_D un ulteriore specchio di corrente, ottenendo il circuito di figura 18 (nel quale vengono indicate anche le due resistenze di uscita dei transistor che si affacciano sull'unica uscita che scegliamo di utilizzare). In questa nuova situazione l'uscita dovuta ad un segnale differenziale sarà data dalla seguente relazione:

Stadio differenziale. Teorema di Miller modificato. Stadio CASCODE.

Torniamo prima di tutto all'analisi dello stadio differenziale che alimentiamo in modo differenziale come mostrato in figura 1.

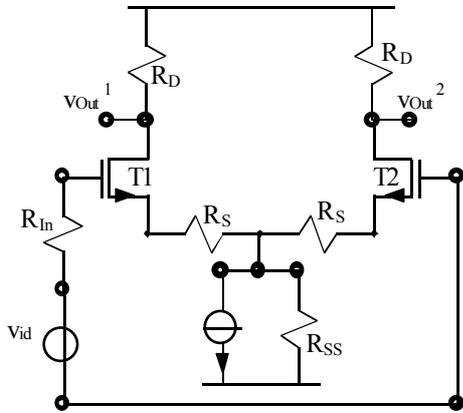


Figura 1

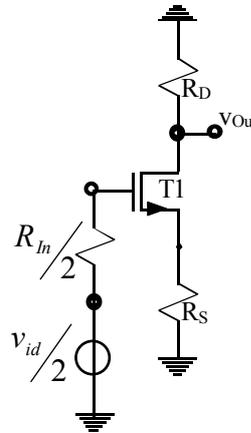


Figura 2

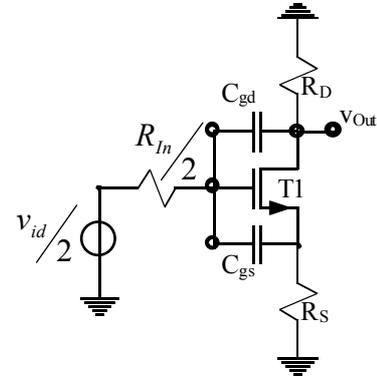


Figura 3

Sfruttiamo la simmetria del circuito e spezziamo in due la struttura (la resistenza R_{SS} non interviene perché il source è a massa virtuale), come mostrato in figura 2. Valutiamo ora l'effetto delle capacità parassite C_{gd} e C_{gs} che inseriamo nel circuito come mostrato in figura 3. Sfruttiamo il metodo delle costanti di tempo per trovare il polo dominante: concentriamoci dunque inizialmente sulla sola capacità C_{gd} , mentre la capacità C_{gs} viene aperta, e valutiamo la relativa costante di tempo sfruttando il circuito di figura 4.

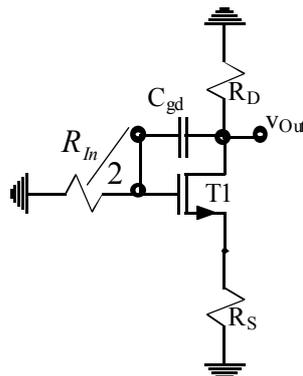


Figura 4

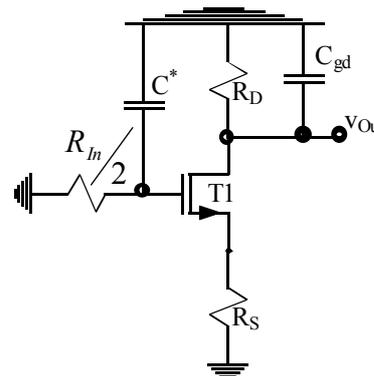


Figura 5

Si avrà dunque:

$$\tau_{gd}^0 = C_{gd} R_{gd}$$

dove R_{gd} è la resistenza di scarica vista dalla capacità C_{gd} che, per ispezione del circuito possiamo notare essere:

$$R_{gd} = R_D + \frac{R_{In}}{2} \left(1 + \frac{g_m R_D}{1 + g_m R_S} \right)$$

e quindi si avrà:

$$\tau_{gd}^0 = C_{gd} R_D + C_{gd} \frac{R_{In}}{2} \left(1 + \frac{g_m R_D}{1 + g_m R_S} \right)$$

Notiamo dunque che un risultato assolutamente identico a questo si sarebbe ottenuto anche per un circuito come quello mostrato in figura 5 dove sia:

$$C^* = C_{gd} \left(1 + \frac{g_m R_D}{1 + g_m R_S} \right)$$

Notiamo allora che con questi calcoli esatti la capacità C_{gd} può essere splittata in un modo molto simile a quanto visto con il teorema di Miller (che era un'approssimazione); in questa nuova situazione, però, invece di una capacità

$$C^{**} = C_{gd} \left(1 - \frac{1}{K} \right)$$

si utilizza semplicemente la C_{gd} stessa; per questo motivo si parla di teorema di Miller semplificato (o modificato). Rivediamo ora il medesimo discorso applicato anche alla capacità C_{gs} e quindi facciamo riferimento al circuito di figura 6.

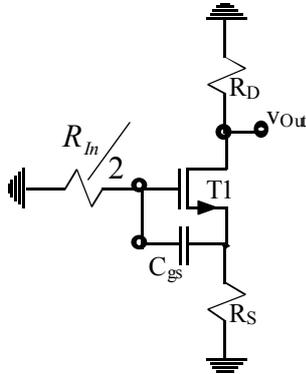


Figura 6

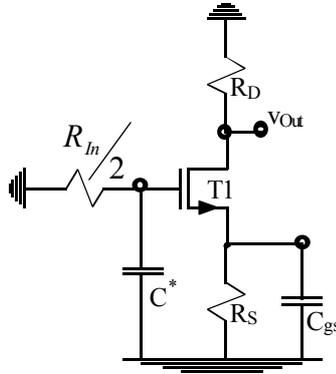


Figura 7

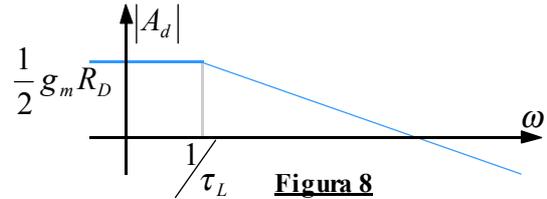


Figura 8

La costante di tempo associata a questa situazione sarà:

$$\tau_{gs}^0 = C_{gs} R_{gs}$$

dove, facendo i conti in maniera precisa, si ottiene:

$$R_{gs} = \frac{R_{in}/2}{1 + g_m R_S} + \frac{R_S}{1 + g_m R_S}$$

e quindi si avrà:

$$\tau_{gs}^0 = C_{gs} \frac{R_{in}/2}{1 + g_m R_S} + C_{gs} \frac{R_S}{1 + g_m R_S}$$

Notiamo dunque che un risultato assolutamente identico a questo si sarebbe ottenuto anche per un circuito come quello mostrato in figura 7 dove sia:

$$C^* = C_{gd} \frac{1}{1 + g_m R_S}$$

Anche in questo caso, dunque, vale il teorema di Miller semplificato. Possiamo a questo punto costruire la costante di tempo legata al polo dominante che sarà:

$$\tau_L = \tau_{gd}^0 + \tau_{gs}^0$$

Ricordando allora l'espressione del guadagno di modo differenziale visto nella scorsa lezione possiamo arrivare a disegnare l'andamento in frequenza di tale guadagno, come mostrato in figura 8.

Concentriamoci ora sul guadagno di modo comune e quindi facciamo riferimento al circuito di figura 9.

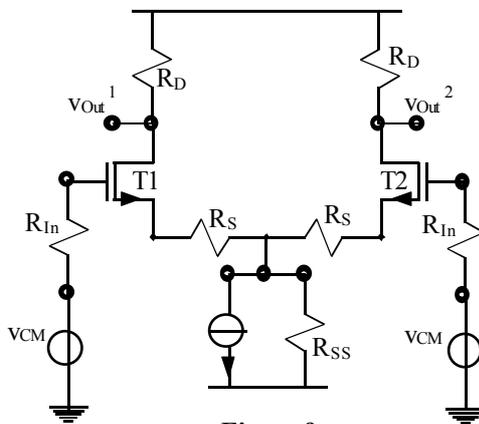


Figura 9

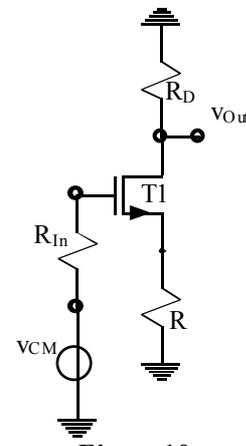


Figura 10

Anche in questo caso possiamo spezzare in due il circuito sfruttando la simmetria della struttura e ottenere il circuito di figura 10 dove si inserita la capacità R così definita:

$$R = R_S + 2R_{SS}$$

Introduciamo ora una ulteriore capacità parassita C (per esempio dovuta al collegamento con qualche elemento non integrato) e otteniamo così il circuito di figura 11.

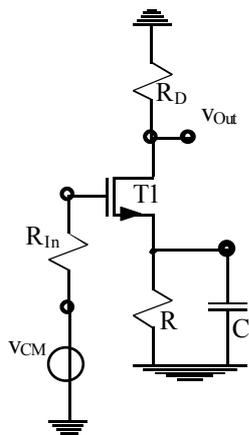


Figura 11

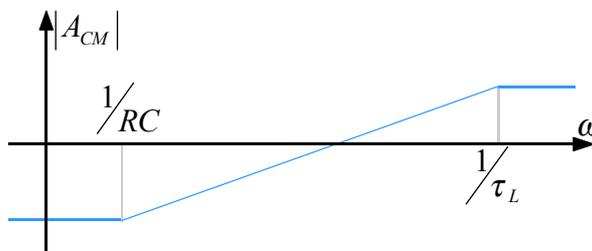


Figura 12

Valutiamo ora quindi il comportamento in frequenza di questo circuito: per quanto riguarda le capacità parassite C_{gd} e C_{gs} il discorso è assolutamente identico a quello visto nel caso precedente, dobbiamo però aggiungere una ulteriore costante di tempo associata alla capacità C; si avrà dunque:

$$\begin{cases} \tau_{gd}^0 = C_{gd} \left(1 + \frac{g_m R_D}{1 + g_m R} \right) R_{In} + C_{gd} R_D \\ \tau_{gs}^0 = C_{GS} \frac{1}{1 + g_m R} R_{In} + C_{gs} \frac{R}{1 + g_m R} \\ \tau_C^0 = C \frac{R}{1 + g_m R} \end{cases}$$

Possiamo allora ricavare la costante di tempo associata al polo dominante:

$$\tau_L = \tau_{gd}^0 + \tau_{gs}^0 + \tau_C^0$$

La capacità C crea però anche uno zero perché notiamo che l'uscita sarà nulla quando l'impedenza Z formata dal parallelo tra la resistenza R e la capacità C diventerà un circuito aperto (ovvero quando Z sarà infinita) e quindi per:

$$s = -\frac{1}{RC}$$

L'andamento in frequenza del guadagno di modo comune sarà allora quello mostrato in figura 12. Combinando ora il grafico di figura 8 con quello di figura 12 si ottiene l'andamento in frequenza del CMRR mostrato in figura 13.

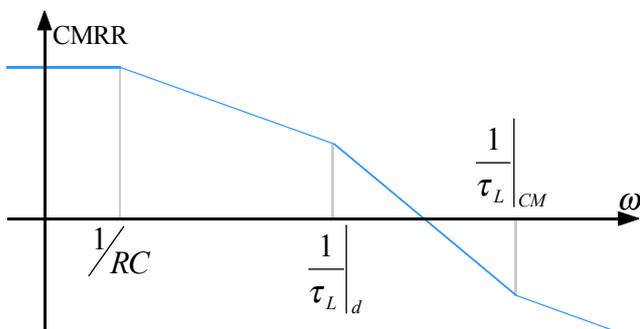


Figura 13

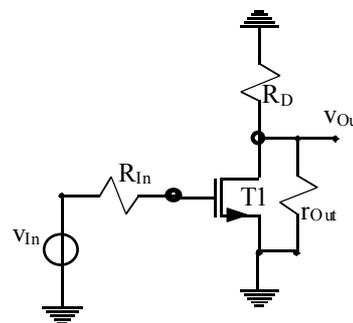


Figura 14

Passiamo ora ad un diverso stadio MOS detto stadio CASCODE. Per introdurre lo stadio CASCODE facciamo innanzitutto riferimento al circuito mostrato in figura 14; da tale circuito notiamo che la presenza della resistenza di uscita fa sì che l'espressione del guadagno di tensione di tale circuito sia la seguente:

$$\frac{v_{Out}}{v_{In}} = -g_m \frac{R_D r_{Out}}{R_D + r_{Out}}$$

Quando la resistenza R_D viene resa molto più alta della resistenza di uscita r_{Out} si arriva all'espressione:

$$\frac{v_{Out}}{v_{In}} = -g_m r_{Out} \quad (1)$$

Inseriamo ora la capacità parassita C_{gd} e splittiamola con il teorema di Miller: sul gate del MOS ci troveremo con una capacità C^* definita come:

$$C^* = C_{gd} \left(1 + g_m \frac{R_D r_{Out}}{R_D + r_{Out}} \right)$$

e quindi vediamo che, aumentando la resistenza R_D fino a che il guadagno dello stadio sia quello espresso dalla relazione (1), si restringe la banda. Proprio per superare questa limitazione si introduce lo stadio detto CASCODE che vediamo in figura 15.

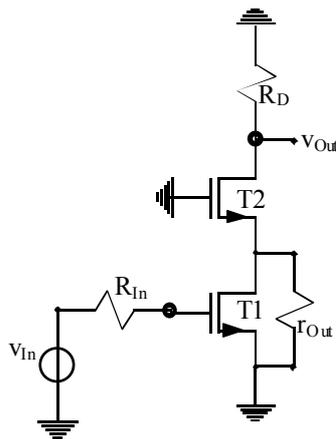


Figura 15

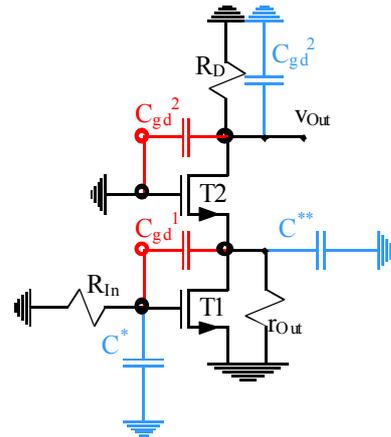


Figura 16

Valutiamo come prima cosa il guadagno di questo stadio notando che non può passare corrente nella resistenza di ingresso R_{In} e quindi la tensione di ingresso si trasferisce direttamente sul gate del transistor T1; essendo poi a terra il source del transistor si ha:

$$v_{In} = v_{gs1}$$

Il transistor T1 induce dunque una corrente data dall'espressione:

$$i_{D1} = g_{m1} v_{gs1} = g_{m1} v_{In}$$

Risalendo verso il transistor T2 vediamo che la corrente imposta dal transistor T1 si biforca: parte entra nella resistenza di uscita e parte prosegue verso il secondo transistor. La corrente che prosegue verso il secondo MOS sarà:

$$i_{D2} = \frac{g_{m2}}{1 + g_{m2} r_{Out}} i_{D1} = \frac{g_{m1} g_{m2}}{1 + g_{m2} r_{Out}} v_{In}$$

Ovviamente tale corrente entrerà tutta nella resistenza R_D provocando una caduta di tensione che sarà pari all'opposto della tensione di uscita e quindi si avrà:

$$v_{Out} = -R_D i_{D2} = -\frac{g_{m1} g_{m2} R_D}{1 + g_{m2} r_{Out}} v_{In}$$

Il guadagno di tensione di questo stadio sarà dunque:

$$A_V = \frac{v_{Out}}{v_{In}} = -\frac{g_{m1} g_{m2} R_D}{1 + g_{m2} r_{Out}}$$

Potremmo osservare che, numericamente, tale guadagno è molto simile al guadagno di uno stadio source a massa (in quanto $1/g_{m2}$ ed r_{Out} sono molto diversi) mentre le cose cambiano in maniera sensibile per quanto riguarda la risposta in frequenza; introduciamo dunque, per iniziare, le capacità C_{gd} dei due MOS. Notiamo prima di tutto che la capacità C_{gd} del secondo MOS va direttamente a terra e quindi non è necessario splittarla (basta infatti disporla in maniera più comoda come mostrato in figura 16); splittiamo invece la capacità C_{gd} relativa al primo MOS sfruttando il teorema di Miller e otteniamo le due capacità C^* e C^{**} : la capacità C^* è definita nel modo seguente:

$$C^* = C_{gd}^1 \left(1 + \frac{g_{m1} r_{Out}}{1 + g_{m2} r_{Out}} \right)$$

Date le dimensioni della resistenza di uscita del MOS, non si compie una approssimazione esagerata ponendo che sia:

$$C^* = C_{gd}^1 \left(1 + \frac{g_{m1}}{g_{m2}} \right)$$

Sfruttando la medesima approssimazione si ottiene anche:

$$C^{**} = C_{gd}^1 \left(1 + \frac{g_{m2}}{g_{m1}} \right)$$

Ci mettiamo ora, per semplicità, nella situazione in cui sia:

$$g_{m1} = g_{m2}$$

in modo da ottenere:

$$C^* = C^{**} = 2C_{gd}^1$$

In questo modo il guadagno dello stadio e la sua banda sono stati resi abbastanza indipendenti. Introduciamo ora anche le capacità parassite C_{gs} relative ai due MOS e (notando che tali capacità sono già di per se a terra e che dunque non devono essere splittate) otteniamo complessivamente il circuito mostrato in figura 17.

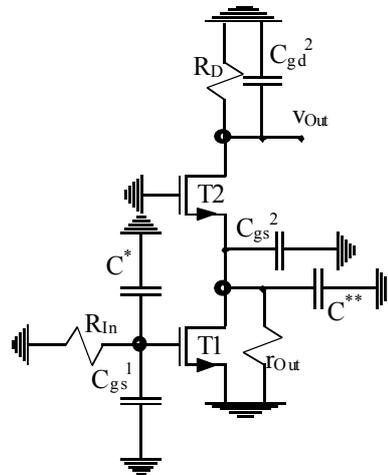


Figura 17

Sempre supponendo che la resistenza di uscita del primo MOS sparisca quando va in parallelo con l'impedenza vista al source del secondo MOS, si otterrà la seguente costante di tempo complessiva:

$$\tau_L = (C^* + C_{gs}^1)R_{in} + (C^{**} + C_{gs}^2) \frac{1}{g_{m2}} + C_{gd}^2 R_D$$

Ovviamente tutto questo discorso andrebbe poi corretto con l'aggiunta della resistenza di uscita del secondo MOS, della quale però non ci occupiamo.

Amplificatori operazionali a tecnologia MOS.

Vediamo come si possono realizzare gli amplificatori operazionali utilizzando i MOS; concentriamoci dunque sul circuito mostrato in figura 1 nella quale si supponga che tutti MOS presenti abbiano tensione di threshold in modulo pari ad 1V.

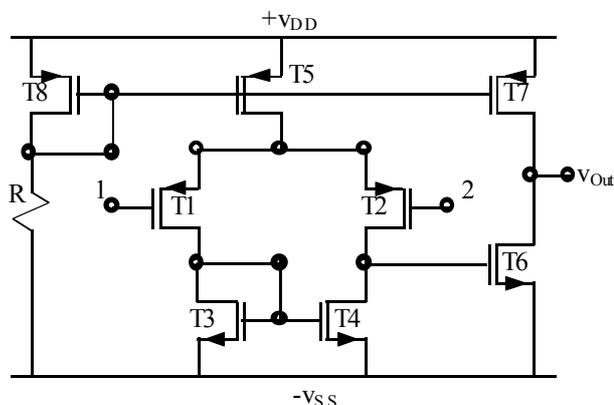


Figura 1

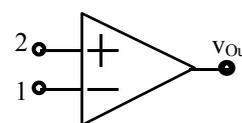


Figura 2

Tale circuito può essere simbolicamente rappresentato dall'operazionale mostrato in figura 2. Questo amplificatore è composto da un distributore di corrente, costituito dai MOS T5, T7 e T8 con la resistenza R, da un primo stadio di amplificazione in configurazione differenziale, costituito dai MOS T1, T2, T3 e T4 e, infine, da un secondo stadio di amplificazione con configurazione source a massa (il MOS T6). Tenendo presente che bisogna considerare anche le resistenze di uscita dei vari transistori andiamo a valutare il guadagno complessivo di questo amplificatore su segnale differenziale; notiamo dunque che il primo stadio di amplificazione ha una configurazione differenziale con carico attivo composto da uno specchio di corrente, nella lezione numero 26 avevamo visto che il guadagno differenziale di questo stadio era il seguente:

$$A_v = g_m r_{Out}$$

dove il g_m è, indifferentemente, quello del MOS T1 o T2. La resistenza di uscita in questo caso è data dal parallelo tra le resistenze di uscita r_2 ed r_4 in quanto dall'uscita single ended dello stadio differenziale si guarda dentro il drain dei due MOS T2 e T4 (si ricordi che il source comune dei MOS T1 e T2 è virtualmente a terra). Nel caso specifico che stiamo esaminando si avrà allora il seguente guadagno per il primo stadio di amplificazione:

$$A_1 = g_m \frac{r_2 r_4}{r_2 + r_4}$$

Il secondo stadio di amplificazione ha una configurazione source a massa per il quale avevamo visto che il guadagno di tensione era il seguente:

$$A_v = -g_m R_D$$

dove il g_m è quello del MOS T6. La resistenza che appare in questa relazione è, in questo caso, data dal parallelo tra le resistenze di uscita r_6 ed r_7 in quanto dall'uscita dello stadio source a massa si guarda dentro il drain dei due MOS T6 e T7. Nel caso specifico che stiamo esaminando si avrà allora il seguente guadagno per il secondo stadio di amplificazione:

$$A_2 = -g_{m_6} \frac{r_6 r_7}{r_6 + r_7}$$

Il guadagno complessivo dell'intero amplificatore sarà quindi il seguente:

$$A_0 = |A_1| \cdot |A_2|$$

Soffermiamoci ora sulla polarizzazione e quindi spegniamo il segnale sui due ingressi 1 e 2 che ora vanno a massa; notiamo che dal source comune dei MOS T1 e T2 entra una corrente che possiamo battezzare i_0 dovuta al distributore di corrente, tale corrente si suddivide nei due rami dello stadio differenziale e quindi nei due rami dello specchio che ne rappresenta il carico attivo. Dalla topologia del circuito notiamo come, ovviamente, si abbia:

$$v_{GS_3} = v_{GS_4}$$

e anche:

$$v_{GS_3} = v_{DS_3}$$

Per una questione di simmetria appare inoltre evidente come debba essere:

$$v_{DS_3} = v_{DS_4}$$

Essendo però:

$$v_{DS_4} = v_{GS_6}$$

si ricava:

$$v_{GS_4} = v_{GS_6}$$

Siccome i MOS T4 e T6 hanno la stessa tensione di comando, possiamo verificare come sia valida la seguente relazione tra le rispettive correnti:

$$i_{D_6} = \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} i_{D_4}$$

ovvero, siccome la corrente i_0 si è suddivisa in parti uguali nei due rami dello specchio:

$$i_{D_6} = \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_4} \cdot \frac{i_0}{2}$$

Dalla topologia del circuito discende anche che:

$$i_{D_6} = i_{D_7}$$

e anche, siccome la tensione di comando dei MOS T5 e T7 è la stessa:

$$i_{D_7} = \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5} i_0$$

Complessivamente possiamo allora esprimere il seguente legame tra i rapporti di forma dei MOS presenti:

$$\frac{1}{2} \cdot \frac{\left(\frac{W}{L}\right)_6}{\left(\frac{W}{L}\right)_7} = \frac{\left(\frac{W}{L}\right)_7}{\left(\frac{W}{L}\right)_5}$$

Se questa relazione non viene verificata si ha un Offset sistematico.

Soffermiamoci ora sulla dinamica di ingresso di modo comune (la dinamica di ingresso di modo differenziale è già stata discussa trattata e rappresentata nella figura numero 3 della lezione numero 26). Osserviamo dal circuito in questione che un ingresso di modo comune v_{CM} può scendere fino a che il MOS T1 non vada in zona triodo; il valore limite sarà dunque:

$$v_{CM}^{Min} = -v_{SS} + v_{GS_3} - |v_{Tp}|$$

Per quanto riguarda il valore massimo notiamo che la v_{GS} del MOS T5 è bloccata e quindi alzando l'ingresso di modo comune si modifica la v_{GD} di T5; il limite superiore si ha allora quando il transistor T5 passa in zona triodo, ovvero:

$$v_{CM}^{Max} = v_{DD} - |v_{GS_5}| - |v_{GS_1}| + v_{Tn}$$

Per quanto riguarda l'uscita vediamo che questa non può salire troppo perché altrimenti T7 esce dalla zona di saturazione e non può scendere troppo altrimenti T6 esce dalla zona di saturazione: gli estremi dell'uscita saranno allora i seguenti:

$$\begin{cases} v_{Out}^{Min} = v_{GS_6} - v_{SS} - v_{Tn} \\ v_{Out}^{Max} = -|v_{GS_7}| + v_{DD} + v_{Tp} \end{cases}$$

Una volta concluso il discorso sulla polarizzazione possiamo concentrarci sulla banda passante e sulla stabilità; notiamo prima di tutto che inserendo tutte le capacità dei MOS si ottiene una serie di poli che molto difficilmente ci permetteranno di avere un attraversamento del grafico del guadagno d'anello della linea a 0 dB con una pendenza di soli -20 dB/dec (come si può intuire dal grafico del tutto qualitativo di figura 3). Una soluzione potrebbe essere quella di imporre un polo a bassissima frequenza che modifichi il grafico del guadagno d'anello come mostrato dalla figura 4 nella quale si suppone che effettivamente si riesca a far attraversare l'asse a 0 dB con una pendenza di -20 dB/dec. Dal punto di vista circuitale, tale polo può essere aggiunto aggiungendo al circuito di figura 1 una capacità C piuttosto grossa come mostrato in figura 5. Notiamo che la capacità C che è stata utilizzata può anche essere piccola ma il suo effetto sarà comunque quello di una capacità piuttosto grossa, infatti è possibile splittare con il teorema di Miller la capacità C e ottenere due capacità moltiplicate per il guadagno del secondo stadio. Una volta inserita la capacità C si trova un polo che a bassa frequenza come era nostra intenzione. Dobbiamo però ora chiederci dove sia il secondo polo, in quanto se il secondo polo non è abbastanza lontano dal primo, arriviamo comunque con il grafico del guadagno

d'anello ad attraversare l'asse a 0 dB con una pendenza maggiore dei -20 db/dec. Per trovare il secondo polo bisogna fare il conto esatto. Semplificando il circuito per il piccolo segnale si ottiene quanto mostrato in figura 6.

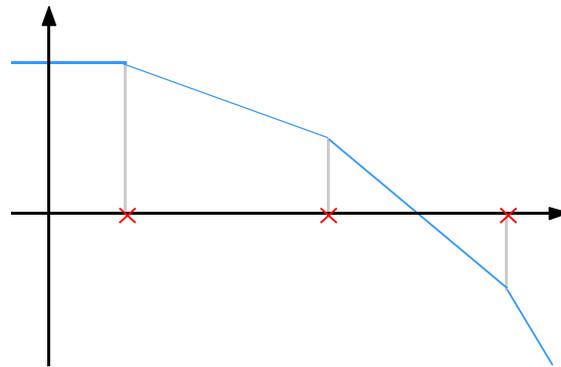


Figura 3

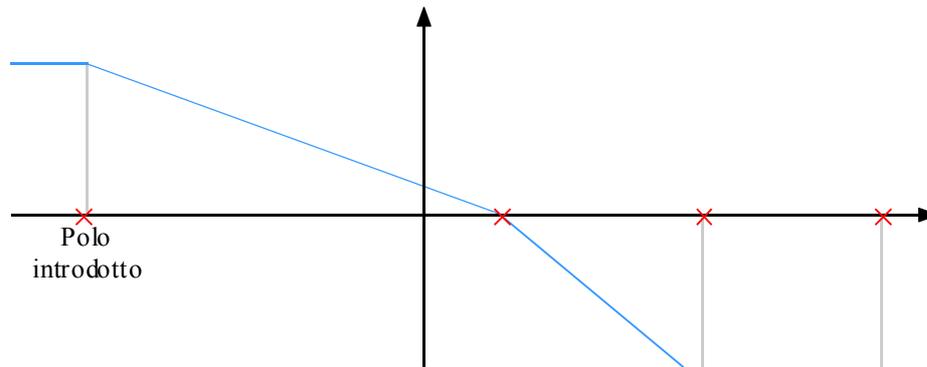


Figura 4

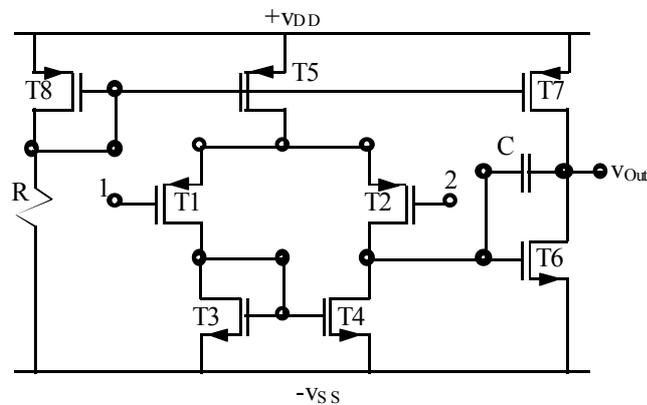


Figura 5

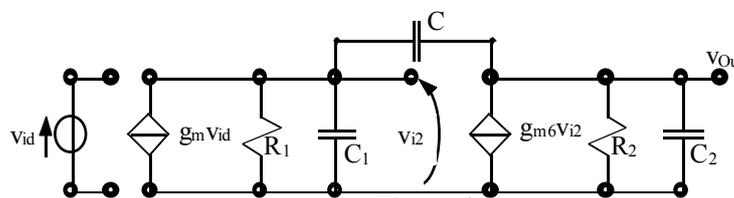


Figura 6

Nel circuito di figura 6 le resistenze R_1 ed R_2 e le capacità C_1 e C_2 sono le resistenze e le capacità cumulative sui nodi di ingresso e di uscita. Sfruttando questo circuito si ottiene (con una serie di semplificazioni anche abbastanza pesanti):

$$\begin{cases} \omega_{P_1} \cong \frac{1}{g_{m_6} R_2 C R_1} \\ \omega_{P_2} \cong \frac{g_{m_6}}{C_2} \end{cases}$$

Affinché il secondo polo sia abbastanza lontano dal primo imponiamo che sia, essendo A_0 il valore in continua del guadagno d'anello:

$$A_0 \omega_{P_1} = \omega_T$$

In questo modo, conoscendo ω_T , si ottiene il giusto valore di C da utilizzare. Sfruttando il circuito equivalente notiamo come sia:

$$A_0 = g_m R_1 g_{m_6} R_2$$

e quindi si avrà:

$$\omega_T = \frac{g_m}{C}$$

I problemi non sono però finiti perché, oltre ai poli, l'introduzione della capacità C modifica anche gli zeri, in particolare, data la struttura del circuito, verrà introdotto uno zero positivo per:

$$s_Z = \frac{g_{m_6}}{C}$$

Uno zero positivo si comporta come un polo negativo e quindi crea anch'esso problemi per la stabilità. Compensiamo questo nuovo problema inserendo una resistenza R in serie alla capacità C come mostrato nel circuito di figura 7.

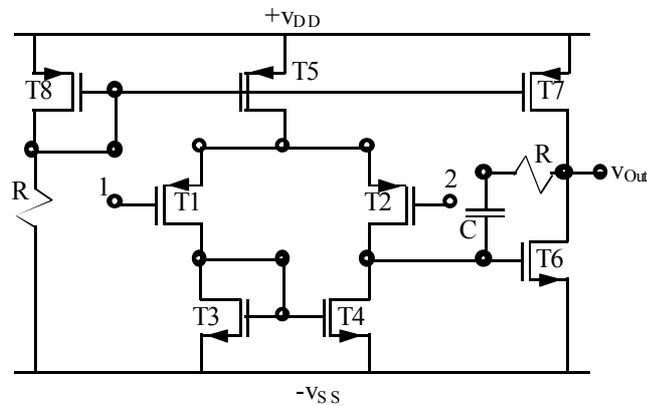


Figura 7

In questo modo lo zero si ottiene quando la corrente imposta dal transistor T_6 si trasferisce tutta nella serie della resistenza R e della capacità C (che da ora in avanti indicheremo come una generica impedenza Z), ovvero quando si avrà:

$$\frac{v}{Z} = g_{m_6} v$$

ovvero:

$$\frac{sC}{1 + sRC} = g_{m_6}$$

dalla quale si ricava:

$$s_Z = \frac{1}{C \left(\frac{1}{g_{m_6}} - R \right)}$$

In questo modo, quando lo zero positivo (che poi si traduce in un polo negativo) è rimasto, ma può essere spinto all'infinito e non si frapperà più tra i due poli precedentemente trovati. Per quanto riguarda, infine, lo slew-rate; questo è dovuto al fatto che la corrente i_0 non si suddivide nei due rami del primo stadio ma, oltre un certo valore, fluisce solo in una metà mentre il secondo ramo risulta spento.

Lo slew rate negli amplificatori a MOS. Andamento dell'impedenza di ingresso di uno stadio source follower.

Vediamo innanzitutto come il circuito mostrato nella figura 5 della lezione numero 28 possa essere ridisegnato nel modo mostrato nella seguente figura 1.

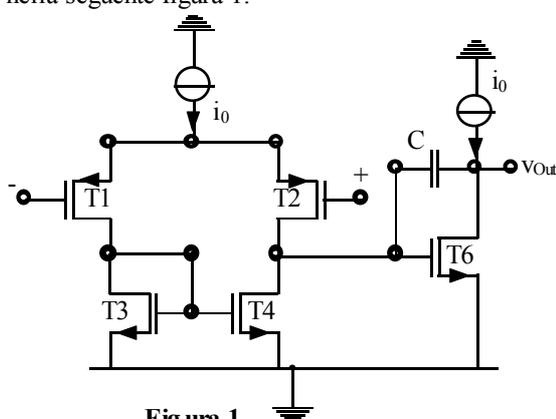


Figura 1

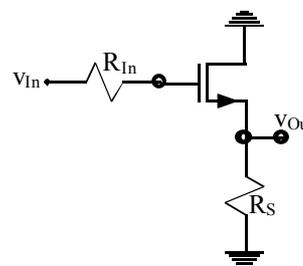


Figura 2

Osserviamo che se la corrente i_0 si divide inizialmente a metà tra i transistor T1 e T2, in uscita dallo stadio differenziale avremo ancora la corrente i_0 (in quanto metà arriverà direttamente tramite il transistor T2 mentre l'altra metà arriverà tramite lo specchio di corrente); siccome la corrente non può entrare nel gate del transistor entrerà tutta nella capacità; teniamo allora conto della relazione caratteristica di una capacità secondo la quale:

$$i = C \frac{dv}{dt}$$

e quindi si ricava:

$$v_{Out}(t) = \frac{i_0}{C} t$$

Ricordando poi la definizione di slew rate si ottiene:

$$SR = \left. \frac{\partial v_{Out}}{\partial t} \right|_{Max} = \frac{i_0}{C}$$

Ora ricordiamo che nella lezione numero 28, occupandoci di questo circuito, avevamo trovato:

$$\omega_T = \frac{g_m}{C}$$

ovvero, ricordando la definizione del g_m e ricordando che nel transistor T1 passa solo metà della corrente i_0 :

$$\omega_T = \frac{1}{C} \cdot \frac{i_0}{v_{GS} - v_T}$$

Combinando allora quest'ultima relazione con l'espressione dello slew rate trovata in precedenza si ricava:

$$\omega_T = \frac{SR}{v_{GS} - v_T}$$

e quindi:

$$SR = \omega_T (v_{GS} - v_T)$$

Lo slew rate è dunque dominato dallo stadio differenziale a P-MOS; notiamo che la configurazione differenziale con ingresso P-MOS ed uscita N-MOS ha il vantaggio di avere un maggior slew rate in quanto K_p è circa un terzo rispetto a K_n e quindi si possono usare tensioni sovrasoglia maggiori.

Torniamo ora ad occuparci di un semplicissimo stadio source follower come quello mostrato in figura 2. Già nelle lezioni precedenti avevamo visto che il guadagno di tensione di tale stadio era:

$$A_V = \frac{g_m R_S}{1 + g_m R_S}$$

Nel caso in cui fosse presente anche la resistenza di uscita del transistor si può osservare che questa sarà collegata a terra e dunque può essere considerata in parallelo con la resistenza R_S ; costruiamo dunque la resistenza complessiva:

$$R = \frac{r_{Out} R_S}{r_{Out} + R_S}$$

e otteniamo poi il seguente guadagno di tensione:

$$A_V = \frac{g_m R}{1 + g_m R}$$

Torniamo ora alla situazione senza la resistenza di uscita del MOS e aggiungiamo le due capacità parassite ottenendo il circuito mostrato in figura 3.

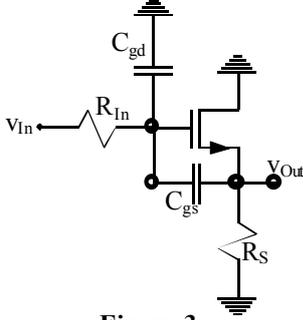


Figura 3

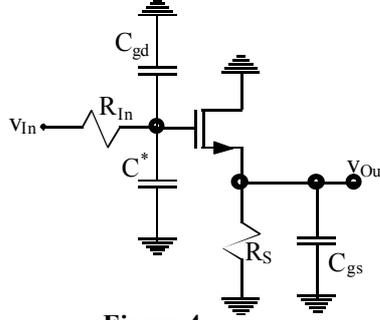


Figura 4

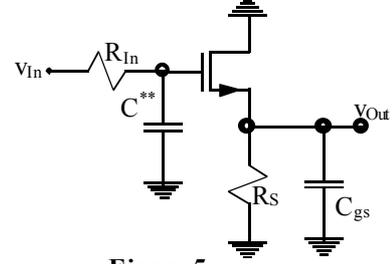


Figura 5

Splittiamo ora con Miller semplificato la capacità C_{gs} ottenendo la situazione mostrata in figura 4, dove sia:

$$C^* = C_{gs} \left(1 - \frac{g_m R_S}{1 + g_m R_S} \right) = C_{gs} \frac{1}{1 + g_m R_S}$$

Collegiamo in parallelo le due capacità che afferiscono al gate del MOS ottenendo la struttura di figura 5, dove sia:

$$C^{**} = C_{gd} + C^* = C_{gd} + C_{gs} \frac{1}{1 + g_m R_S}$$

Possiamo dunque ricavare le due costanti di tempo seguenti:

$$\begin{cases} \tau_A = C^{**} R_{In} = C_{gd} R_{In} + C_{gs} \frac{R_{In}}{1 + g_m R_S} \\ \tau_B = C_{gs} \frac{R_S}{1 + g_m R_S} \end{cases}$$

e quindi il primo polo sarà caratterizzato da una costante di tempo complessiva

$$\tau_L = \tau_A + \tau_B = C_{gd} R_{In} + C_{gs} \frac{R_{In}}{1 + g_m R_S} + C_{gs} \frac{R_S}{1 + g_m R_S} = C_{gd} R_{In} + C_{gs} \frac{R_{In} + R_S}{1 + g_m R_S}$$

Per valutare il secondo polo torniamo a fare riferimento alla figura 3 e applichiamo il metodo delle costanti di tempo, facendo riferimento alla figura 6 si avrà allora:

$$\tau_{gs}^\infty = C_{gs} \frac{R_S}{1 + g_m R_S}$$

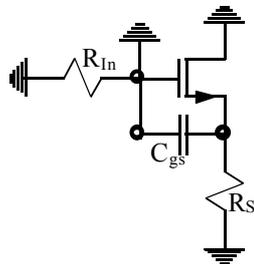


Figura 6

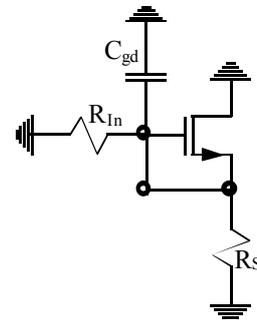


Figura 7

Facendo invece riferimento alla figura 7 si nota che il MOS sarà spento in quanto la sua tensione di comando sarà identicamente nulla e quindi si ricava:

$$\tau_{gd}^\infty = C_{gd} \frac{R_S R_{In}}{R_S + R_{In}}$$

Il secondo polo sarà allora caratterizzato dalla seguente costante di tempo complessiva:

$$\tau_H = \left(\frac{1}{\tau_{gs}^\infty} + \frac{1}{\tau_{gd}^\infty} \right)^{-1} = \frac{C_{gs} C_{gd} R_S R_{In}}{C_{gd} (R_{In} + g_m R_S) + C_{gs} (R_S + R_{In})}$$

Per quanto riguarda gli zeri osserviamo che la capacità C_{gd} non fornisce nessuno zero mentre la capacità C_{gs} fornisce uno zero solo se tutta la corrente imposta dal MOS si trasferisce sulla capacità, ovvero se si ha:

$$-sC_{gs}v_{gs} = g_m v_{gs}$$

dalla quale si ricava:

$$s = -\frac{g_m}{C_{gs}}$$

Passiamo ora all'impedenza di ingresso facendo riferimento alla figura 8.

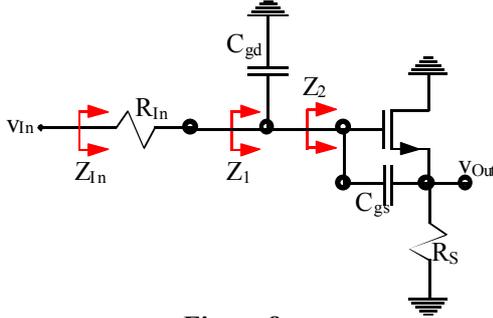


Figura 8

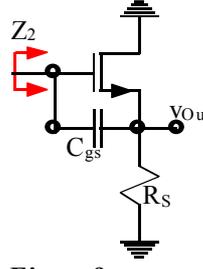


Figura 9

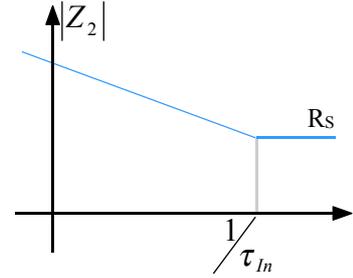


Figura 10

Come prima cosa notiamo come si possa scrivere:

$$Z_{In} = R_{In} + Z_1$$

e poi, ancora, invece di valutare Z_1 , possiamo valutare Z_2 che poi, in parallelo con la capacità C_{gd} , mi permette di ritrovare Z_1 . Per valutare Z_2 utilizzo la teoria della reazione facendo riferimento al circuito di figura 9. Vediamo allora che se mettiamo un generatore di corrente e poi lo apriamo, valutando il guadagno d'anello tramite l'inserimento di una corrente di test sul source del MOS, abbiamo che la corrente deve per forza scendere tutta nella resistenza R_S e quindi il guadagno d'anello è nullo. Se invece utilizziamo un generatore di tensione e poi lo apriamo; il guadagno di anello (inserendo sempre la medesima corrente) si ottiene osservando che, questa volta, la corrente si suddivide tra la capacità e la resistenza; la corrente che scorre nella capacità crea una caduta di tensione che è l'opposto della tensione di comando del MOS; complessivamente, dunque, il guadagno d'anello sarà il seguente:

$$G_{Loop} = -\frac{g_m R_S}{1 + sR_S C_{gs}}$$

Il circuito è quindi stabilizzato in corrente. Valutiamo ora l'impedenza Z_2 ad anello aperto che sarà:

$$Z_2^{OL} = R_S + \frac{1}{sC_{gs}} = \frac{1 + sR_S C_{gs}}{sC_{gs}}$$

L'impedenza Z_2 sarà allora la seguente:

$$Z_2 = Z_2^{OL} (1 - G_{Loop}) = R_S \frac{1 + s \frac{R_S C_{gs}}{1 + g_m R_S}}{\frac{R_S C_{gs}}{s} \frac{1}{1 + g_m R_S}} \quad (1)$$

Per semplicità di notazione poniamo:

$$\frac{R_S C_{gs}}{1 + g_m R_S} = \tau_{In}$$

in modo da ottenere:

$$Z_2 = R_S \frac{1 + s\tau_{In}}{s\tau_{In}}$$

Possiamo allora costruire un grafico dell'andamento dell'impedenza Z_2 con la frequenza come quello mostrato in figura 10. Notiamo ora come la relazione (1) possa essere rimaneggiata e riscritta nel modo seguente:

$$Z_2 = R_S + \frac{1 + g_m R_S}{s C_{gs}}$$

e quindi possiamo fare riferimento alla struttura equivalente mostrata in figura 11, dove sia:

$$C_{Eq} = \frac{C_{gs}}{1 + g_m R_S}$$

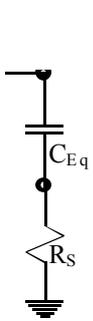


Figura 11

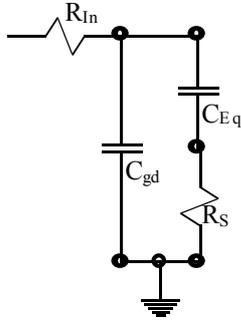


Figura 12

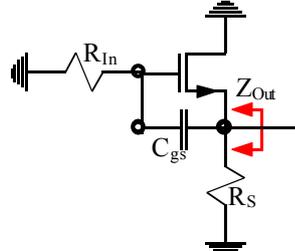


Figura 13

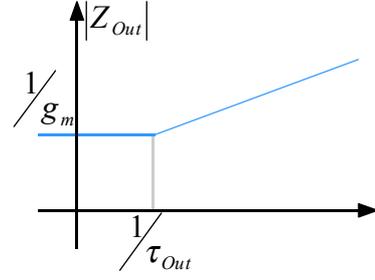


Figura 14

Complessivamente, allora, l'impedenza di ingresso potrà essere ricavata a partire dalla semplice struttura di figura 12. Passiamo ora all'impedenza di uscita facendo riferimento al caso (un po' più semplice per quanto riguarda i conti) in cui la capacità C_{gd} sia nulla; sfruttiamo dunque il circuito di figura 13. Per valutare Z_{Out} utilizzo la teoria della reazione; vediamo allora che se mettiamo un generatore di tensione e poi lo apriamo, valutando il guadagno d'anello tramite l'inserimento di una corrente di test sul source del MOS, abbiamo che la corrente si scarica tutta a terra tramite il corto circuito e non fluisce nella capacità C_{gs} e quindi il guadagno d'anello è nullo. Se invece utilizziamo un generatore di corrente e poi lo apriamo; il guadagno d'anello (inserendo sempre la medesima corrente) si ottiene osservando che, questa volta, la corrente si suddivide tra la resistenza R_S e la serie della capacità C_{gs} e della resistenza R_{In} ; la corrente che scorre nella capacità crea una caduta di tensione che è l'opposto della tensione di comando del MOS; complessivamente, dunque, il guadagno d'anello sarà il seguente:

$$G_{Loop} = -\frac{g_m R_S}{1 + s C_{gs} (R_{In} + R_S)}$$

Il circuito è quindi stabilizzato in tensione. Valutiamo ora l'impedenza Z_{Out} ad anello aperto che sarà (una volta aperto il MOS):

$$Z_{Out}^{OL} = R_S \frac{1 + s C_{gs} R_{In}}{1 + s C_{gs} (R_{In} + R_S)}$$

L'impedenza Z_{Out} sarà allora la seguente:

$$Z_{Out} = \frac{Z_{Out}^{OL}}{1 - G_{Loop}}$$

E' comune il fatto di poter semplificare nel modo seguente:

$$Z_{Out} = \frac{Z_{Out}^{OL}}{-G_{Loop}} = \frac{1 + s C_{gs} R_{In}}{g_m} \quad (2)$$

Graficamente possiamo ora rappresentare l'andamento in frequenza dell'impedenza di uscita come mostrato in figura 14 dove sia:

$$\tau_{Out} = C_{gs} R_{In}$$

Il fatto di aver trascurato una unità nella relazione (2) ci porta però ad una situazione diversa da quella che ci saremmo aspettati dalla semplice analisi del circuito. Dall'ispezione del circuito di figura 13, infatti, ci saremmo aspettati che, in continua, l'impedenza di uscita fosse la seguente:

$$Z_{Out}^{Cont} = \frac{R_S}{1 + g_m R_S}$$

mentre dalla relazione (2) si ricaverebbe:

$$Z_{Out}^{Cont} = \frac{1}{g_m}$$

che è comunque un risultato piuttosto simile. La grande differenza si ha invece osservando che, ad altra frequenza l'impedenza di uscita che ci aspetteremmo dalla relazione (2) sarebbe infinita mentre osservando il circuito ci aspetteremmo una impedenza di uscita del tipo:

$$Z_{Out}^{Alta} = \frac{R_S R_{In}}{R_{In} + R_S}$$

Questo proprio non torna con quanto abbiamo ricavato noi. Vediamo allora l'andamento preciso sfruttando il grafico di figura 15.

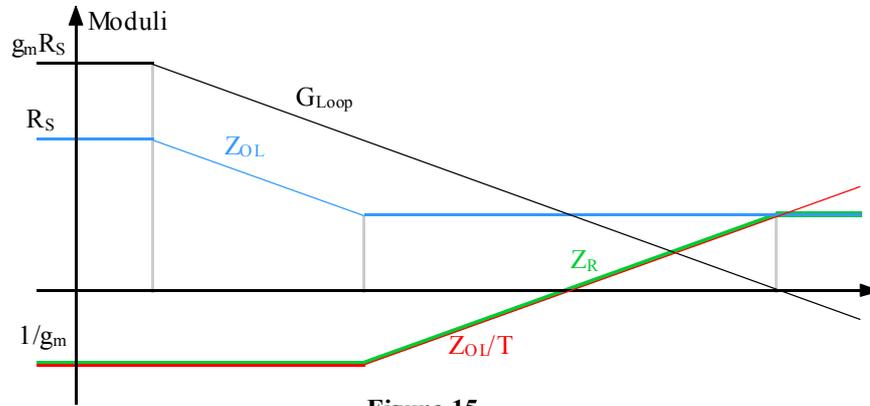
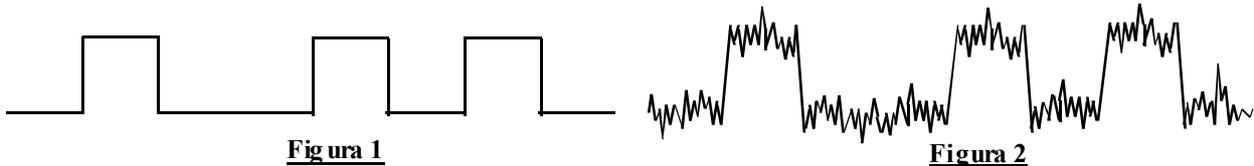


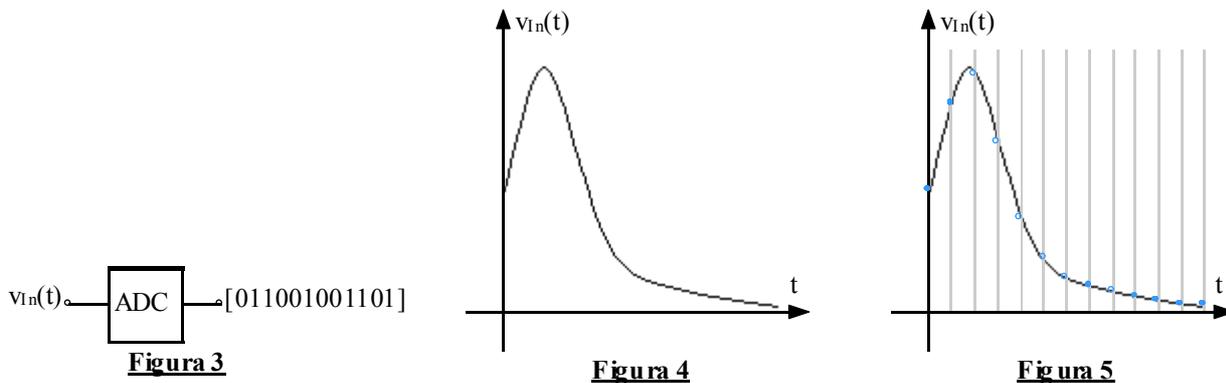
Figura 15

Circuiti digitali. Il teorema del campionamento. Circuito Sample&Hold.

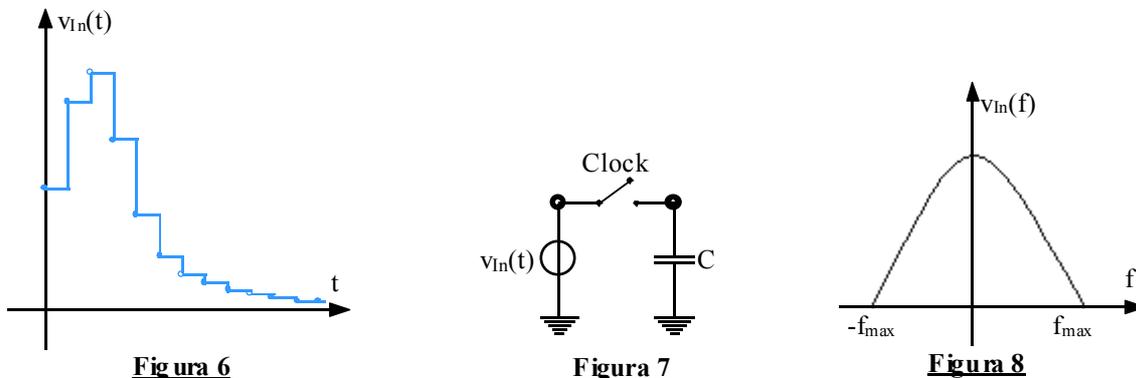
Ci soffermiamo da ora in avanti sulla trasduzione dei segnali da analogici a digitali; in precedenza si era arrivati a vedere come una grandezza che si vuole misurare, trasmettere, o comunque utilizzare, venga inizialmente captata come un piccolo segnale, che poi viene mandato ad un preamplificatore che amplifica il segnale separandolo in maniera netta dal rumore di fondo. Fino ad ora ci siamo occupati in maniera approfondita solo della parte relativa agli amplificatori (che dovevano avere certe caratteristiche che permettevano di avere un segnale pulito e non distorto), ora ci occupiamo della traduzione di un segnale da analogico a digitale. La traduzione analogico/digitale è molto utile allo scopo di minimizzare la distorsione, soprattutto per i segnali che vengono spediti in remoto. Quando infatti spedisco un segnale in digitale, spedisco un segnale come quello mostrato in figura 1 e ricevo un segnale come quello in figura 2.



Ovviamente ci rendiamo subito conto che il segnale ricevuto è distorto e disturbato, è però possibile ricavare la medesima sequenza di 1 e 0 che è stata trasmessa. Il passaggio da analogico a digitale viene tecnicamente chiamata conversione ed è operata da dispositivi detti Analog to Digital Converter (ADC) e che inizialmente rappresentiamo come in figura 3.



La stringa di numeri che si ottiene può essere processata matematicamente per poi, per esempio, essere nuovamente tradotta in formato analogico. Tutto il processo che abbiamo descritto si basa sul teorema del campionamento. Vediamo dunque come viene campionato un segnale: partiamo dalla figura 4 nella quale vediamo il segnale analogico di partenza. Il campionamento consiste nel misurare il segnale di ingresso ad intervalli regolari: la distanza temporale tra due misure prende il nome di tempo di campionamento che è solitamente tenuto da un clock di sistema (si veda la figura 5). Tra una misura e l'altra si suppone che il segnale rimanga costante e quindi si ricostruisce un andamento approssimato della curva di partenza (si veda la figura 6).



Un circuito che opera tale campionamento è detto circuito Sample&Hold ed un esempio molto semplice può essere quello mostrato in figura 7. Un confronto tra la figura 4 e la figura 6 ci permette di capire che il campionamento ci fa ovviamente perdere dei tratti della forma d'onda; il teorema del campionamento afferma però che, con dei campionamenti opportuni, si può ricostruire tutta la forma d'onda anche senza prenderla tutta. Il teorema del campionamento si basa ovviamente sull'analisi in frequenza; supponendo che lo spettro del segnale di partenza sia quello di figura 8, lo spettro del segnale campionato sarà quello di figura 9, dove sia:

$$f_C = \frac{1}{T_C}$$

con T_C periodo di campionamento. Se allora utilizzo un filtro che taglia le frequenze superiori alla frequenza f_{Max} e le frequenze inferiori alla $-f_{Max}$ (come mostrato in figura 19) si torna ad avere uno spettro molto simile a quello di partenza.

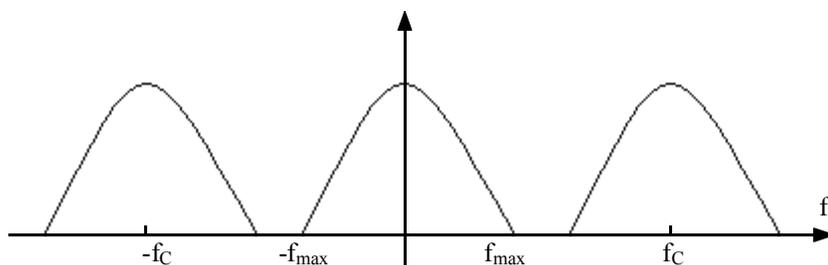


Figura 9

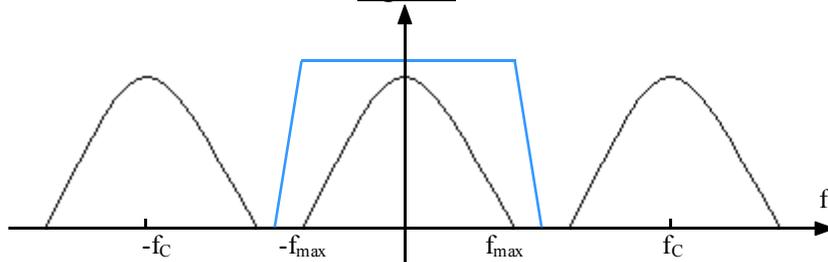


Figura 10

Ovviamente la condizione perché questo discorso stia in piedi è che il periodo di campionamento T_C deve essere adeguato per far sì che i lobi dello spettro campionato siano ben distinti; se invece i lobi tendono a sovrapporre le estremità, anche tagliando con filtri molto buoni non si riuscirà mai a ricostruire l'andamento originario con buona approssimazione; si parla di effetto ALIASING. La condizione teorica che permette di ricostruire il segnale è la seguente:

$$f_C \geq 2f_{Max}$$

Questo è ovviamente un limite teorico perché bisogna sempre tener conto che non è possibile avere dei filtri perfetti (ci sarà sempre una certa pendenza. Dopo il circuito Sample&Hold che abbiamo visto in figura 7 c'è l'ADC che trasforma il segnale da analogico a digitale. Affinché la capacità non si scarichi sull'impedenza di ingresso dell'ADC, i due sono separati da un buffer di tensione, come mostrato in figura 11.

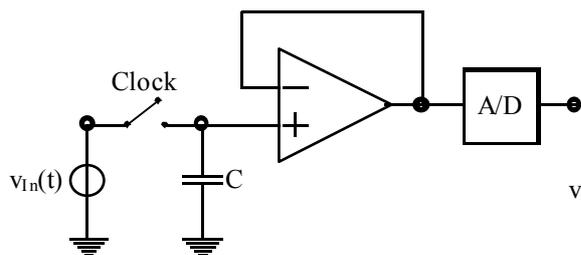


Figura 11

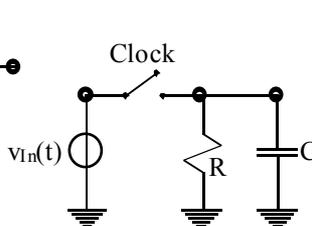


Figura 12

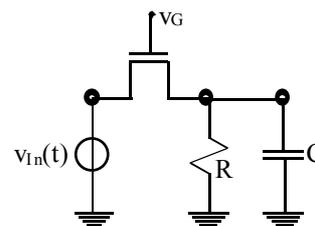


Figura 13

L'interruttore è invece realizzato tramite un MOS; quando il MOS è acceso l'interruttore è chiuso e presenta una resistenza detta R_{On} che dipende dalla v_{GS} e dalla v_{DS} . La resistenza R_{On} più conveniente è quella che avevamo definito come:

$$r_{DS} = \frac{1}{2K(v_{GS} - v_T)}$$

relativa ad un MOS in zona triodo. Un circuito Sample&Hold un po' più realistico è quello di figura 12 nel quale vediamo che, quando l'interruttore si chiude presentando la resistenza R_{On} , si forma un partitore tra le due resistenze che mi fa perdere qualche cosa del segnale; solitamente bisogna quindi creare una resistenza R molto più grossa della R_{On} per non avere problemi. In questo modo, però, si viene a formare un filtro passa-basso con costante di tempo CR_{On} e quindi si perde ancora qualche cosa del segnale. Siccome poi la resistenza R_{On} varia con il segnale di ingresso, c'è anche una debole distorsione del segnale. Cerchiamo dunque, visti tutti questi potenziali problemi, una struttura MOS che possa funzionare come un buon interruttore. Una prima possibile architettura è quella mostrata in figura 13, nella quale vediamo come non sia stato specificato quale sia il drain del MOS perché questo si sposterà a seconda che

l'ingresso sia positivo o negativo. Affinché l'interruttore sia spento si deve avere una v_{GS} inferiore alla tensione di soglia. Supponiamo ora che il segnale possa variare tra $-5V$ e $5V$ e che la tensione di soglia del MOS sia di $2V$. Notiamo allora che il transistor è sicuramente spento qualunque sia la tensione di ingresso purché si abbia:

$$v_G \leq -3V$$

Perché il MOS sia invece sempre acceso (e preferibilmente, come accennato precedentemente, in zona triodo), si deve avere:

$$v_G \geq 7V$$

La tensione al gate deve dunque variare tra i $-3V$ e i $7V$ e quindi l'intervallo di comando del gate ha, come minimo, la medesima ampiezza del segnale (anche superiore se pensiamo che quelli dati sono i valori limite che devono essere superati abbondantemente per essere sicuri di lavorare in zona di saturazione). Una struttura migliore è quella mostrata in figura 14, nella quale si utilizza un P-MOS ed un N-MOS alimentati da tensioni complementari.

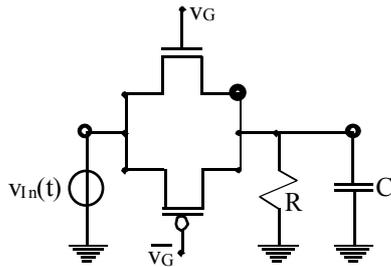


Figura 14

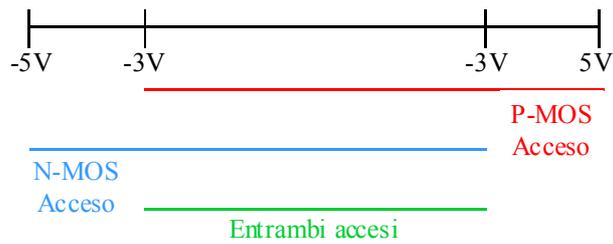


Figura 15

Si può in questo caso vedere che la massima dinamica del segnale corrisponde con i valori alto e basso della tensione v_G ; quando si ha:

$$\{v_G = -5V\} \Rightarrow \{v_G = 5V\}$$

entrambi i MOS sono spenti, qualunque sia la tensione di ingresso (in tutta la sua dinamica). Quando invece si ha:

$$\{v_G = 5V\} \Rightarrow \{v_G = -5V\}$$

l'N-MOS è acceso solo per un ingresso che non superi il valore:

$$v_{Lim} = (5V) - v_T = 3V$$

Viceversa per il P-MOS; complessivamente possiamo dire che l'N-MOS è acceso per l'intervallo $(-5V, 3V)$ mentre il P-MOS è acceso per l'intervallo $(-3V, 5V)$. Notiamo che quando è acceso solo l'N-MOS c'è anche una resistenza r_{DS} molto piccola, che però sale con il salire della tensione (e quindi peggiora). Il contrario succede per il P-MOS. La R_{On} complessiva è però data dal parallelo delle r_{DS} dei due MOS e quindi (come si può intuire facendo riferimento alla figura 15) c'è la garanzia che la R_{On} sia sempre abbastanza piccola e abbastanza costante.

Nella lezione numero 31 vedremo la struttura più classica per un converter ADC e per un DAC, per ora ci limitiamo ad una rappresentazione un po' più completa rispetto a quella vista in figura 3; se siamo in presenza di converter digitali da 4 bit, una struttura che converte da analogico a digitale e poi nuovamente da digitale ad analogico può essere espressa come mostrato in figura 16.

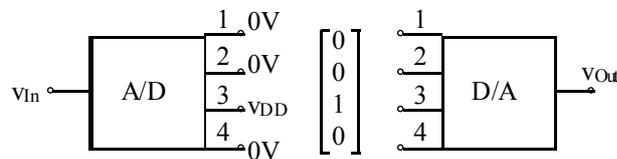


Figura 16

Strutture ADC e DAC

Ci soffermiamo, come ultimo argomento, sulla struttura di alcuni tipi di converter Ad e DA. Ricordiamo innanzitutto che il numero 1011 in base 2 può essere tradotto nel modo seguente in base 10:

$$1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2 + 1 \cdot 2^0 = 11$$

Ricordiamo inoltre che con 4 bit arriviamo ad esprimere 16 valori e che, per quanto riguarda la digitalizzazione, ci interessano relazioni del tipo:

$$D = b_1 \cdot \frac{1}{2} + b_2 \cdot \frac{1}{2^2} + \dots + b_n \cdot \frac{1}{2^n}$$

e quindi si avrà che il codice 0000 corrisponde allo zero, il codice 1111 corrisponde ad 1 mentre 0001 corrisponde ad 1/16 che prende il nome di LSB ovvero Less Significant Bit.

Un primo tipo di Dac del quale ci occupiamo è circuitalmente mostrato in figura 1 e prende il nome di Binary-Weighted Resistor DAC.

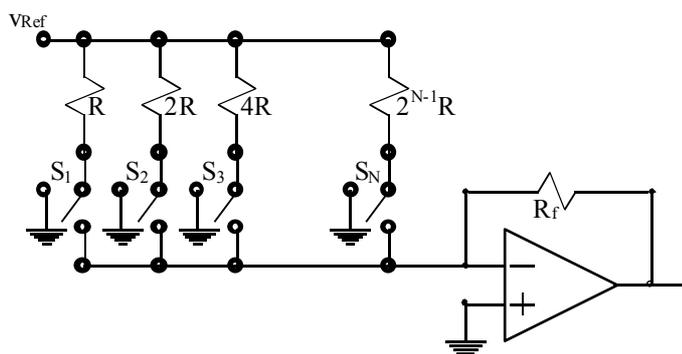


Figura 1

Gli interruttori sono comandati dai livelli logici: ad esempio, se $b_1=1$, il primo interruttore è chiuso sulla massa virtuale rappresentata dall'ingresso invertente dell'operazionale, altrimenti è chiuso sulla massa effettiva. La corrente che attraversa le resistenze può dunque essere scaricata a terra oppure entrare nell'operazionale, la somma delle correnti che entrano nell'operazionale è dunque legata a quali interruttori erano chiusi e quali erano aperti. All'interno della porta invertente si ha allora:

$$i_0 = b_1 \cdot \frac{v_{Rif}}{R} + b_2 \cdot \frac{v_{Rif}}{2R} + \dots + b_N \cdot \frac{v_{Rif}}{2^{N-1}R} = \frac{2v_{Rif}}{R} \left[b_1 \cdot \frac{1}{2} + b_2 \cdot \frac{1}{2^2} + \dots + b_N \cdot \frac{1}{2^N} \right] = \frac{2v_{Rif}}{R} D$$

Scegliendo opportunamente la resistenza R_f si trova la v_{Out} imposta dalla i_0 , essendo:

$$v_{Out} = -R_f i_0$$

Scegliendo allora:

$$R_f = -\frac{R}{2}$$

si ottiene:

$$v_{Out} = -v_{Rif} D$$

Dunque in funzione della parola digitale in ingresso abbiamo un'uscita che dipende da D. Un problema con questo tipo di DAC è che con tante R da realizzare non si riesce effettivamente a mantenere i giusti rapporti tra le resistenze (si finisce per utilizzare zone sul Silicio lontane tra di loro!); un diverso tipo di DAC è dunque l'R/2R DAC, mostrato in figura 2. In tale caso notiamo che le correnti sui vari rami sono diverse; vediamo però che le varie impedenze Z , Z_1 , etc... sono tutte pari a 2R, per questo motivo notiamo allora che al nodo A si vede una corrente i_N verso il basso e una medesima corrente i_N verso destra, questo significa che in tale nodo entra una corrente $2i_N$; se ora saltiamo indietro di una posizione vedremo allora una corrente $2i_N$ verso destra e quindi anche una corrente $2i_N$ verso il basso per un ingresso complessivo di corrente nel nodo di $4i_N$; complessivamente varrà allora la seguente serie di relazioni tra le correnti dei vari nodi:

$$\begin{cases} i_1 = 2i_2 \\ i_2 = 2i_3 \\ \dots \\ i_{N-1} = 2i_N \end{cases}$$

e quindi:

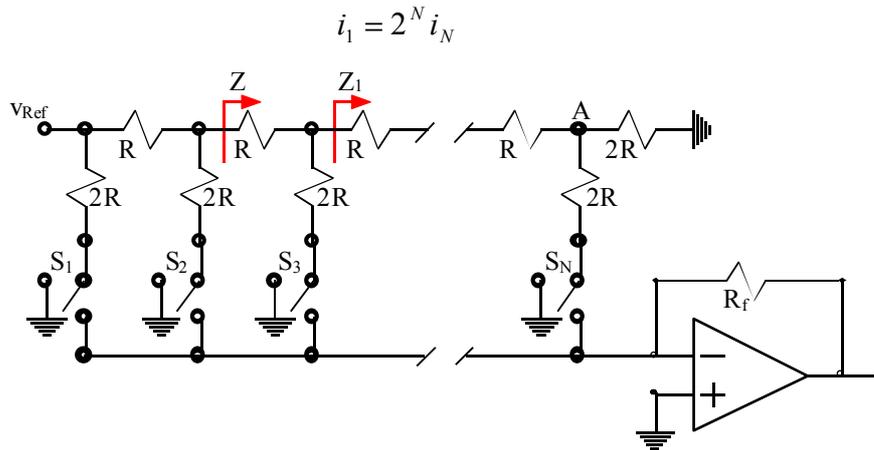


Figura 2

La corrente nel primo ramo sarà ovviamente:

$$i_1 = \frac{v_{Rif}}{2R}$$

Abbiamo dunque trovato una serie di correnti scalate, come prima, senza aver però dovuto scalare il valore delle resistenze. Anche in questo caso, dunque, si avrà:

$$i_0 = b_1 \cdot i_1 + b_2 \cdot i_2 + \dots + b_N \cdot i_N = 2i_1 \left[b_1 \cdot \frac{1}{2} + b_2 \cdot \frac{1}{2^2} + \dots + b_N \cdot \frac{1}{2^N} \right] = 2i_1 D = \frac{v_{Rif}}{R} D$$

e quindi si ritorna sostanzialmente nella medesima situazione vista prima. Le due reti che abbiamo visto fino ad ora sono reti tutte passive; è ovviamente possibile costruire generatori di corrente tramite dei transistor; un esempio può essere la rete mostrata in figura 3.

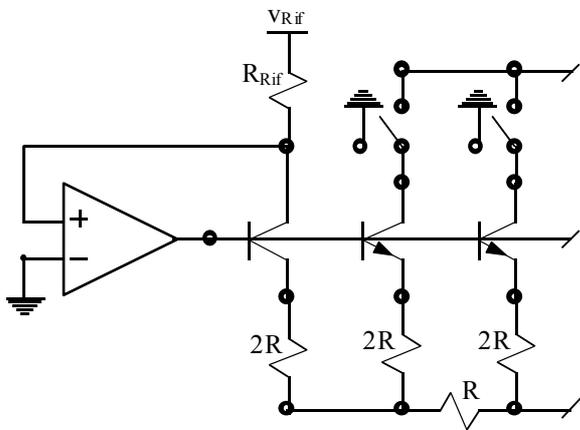


Figura 3

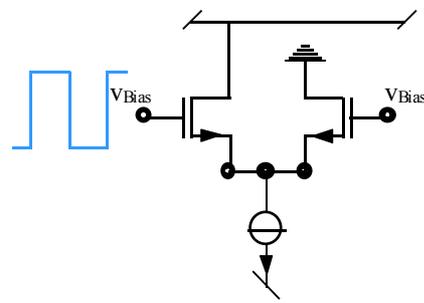


Figura 4

In figura 4 vediamo invece una rappresentazione più particolareggiata dei deviatori (realizzati con dei MOS) che fino ad ora avevamo sempre visto in maniera simbolica; un deviatore come quello mostrato in tale figura è molto rapido perché non ci sono capacità di carico.

Passiamo ora all'architettura di un dispositivo ADC (senza soffermarci sulla struttura di ogni singolo componente). In figura 5 vediamo la planimetria di un Feedback Type ADC. L'up/down Counter è un contatore continuo che parte da 00000 e arriva a 11111 quando l'ingresso è alto mentre quando l'ingresso è basso conta all'inverso.

Un secondo tipo di ADC è quello a doppia rampa mostrato in figura 6, che è un dispositivo che permette di gestire molti bit (12 o addirittura 14 bit) ma è piuttosto lento. All'inizio l'interruttore S₂ sarà chiuso in modo che la capacità C sia scarica e quindi la tensione in entrata al comparatore sarà nulla. Connettendo poi il deviatore S₁ sul Sample&Hold si genera una corrente

$$i = \frac{v_A}{R}$$

e quindi l'integratore risponde con una rampa di pendenza:

$$\frac{dv}{dt} = \frac{i}{C} = \frac{v_A}{RC}$$

Mentre la rampa sale il contatore inizia a contare; il contatore viene calibrato in modo che durante la salita della rampa il contatore conti 2^N volte.

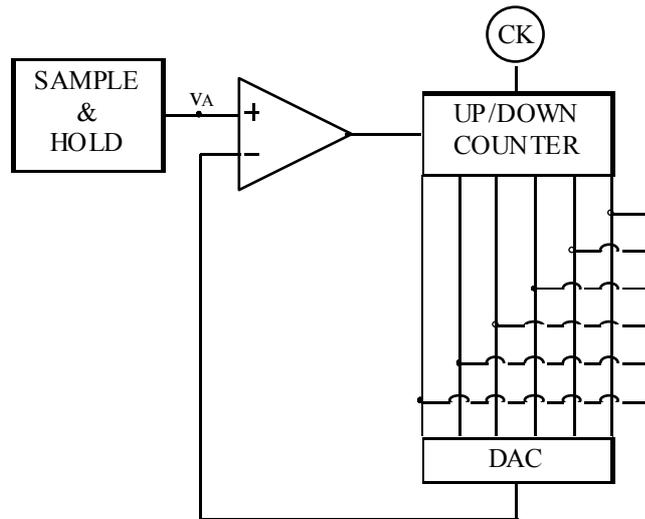


Figura 5

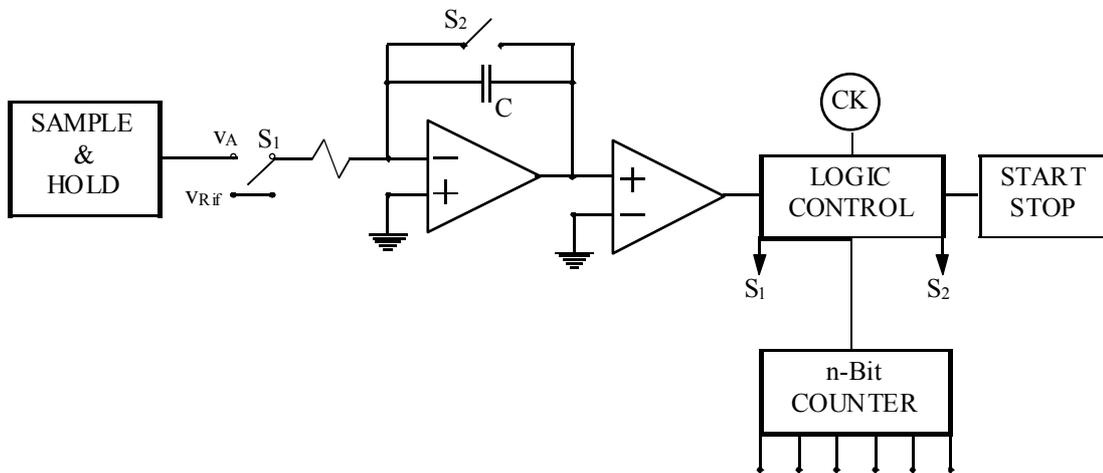


Figura 6

Si risetta poi il contatore a zero, deviamo S_1 sulla v_{Rif} e scarichiamo la capacità C con una pendenza:

$$\frac{dv}{dt} = \frac{i}{C} = \frac{v_{Rif}}{RC}$$

Mentre la rampa scende il contatore riprende a contare e continua a contare fino a quando l'ingresso del comparatore non si annulla e lo fa scattare. Il numero di conteggi fatti durante la scarica dipende dalla tensione di ingresso nel comparatore perché la pendenza di carica varia a seconda della tensione v_A che è stata campionata mentre la pendenza di scarica è costante. Se dunque T_2 è il tempo necessario per la scarica, questo tempo ci da una misura della tensione campionata. Abbiamo dunque:

$$N_2 = 2^N \frac{v_A}{v_{Rif}} = \frac{v_A}{\frac{v_{Rif}}{2^N}} = \frac{v_A}{LSB}$$

Notiamo inoltre che c'è completa indipendenza dalla costante RC .

Un altro tipo di ADC è il Flash.