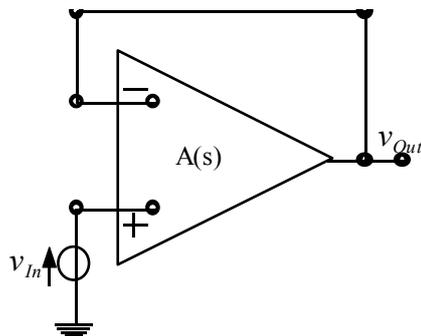
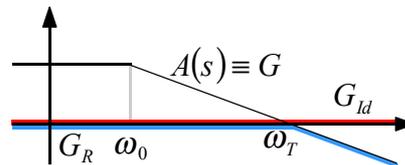


**Lo Slew Rate. Rivelatore di raggi  $\gamma$ . Termometro elettronico.**

Consideriamo, inizialmente, il circuito mostrato in figura 1 nel quale sia contenuto un operazionale del tipo 741.



**Figura 1**



**Figura 2**

Il guadagno ideale di questo circuito è ovviamente unitario mentre il guadagno d'anello sarà semplicemente:

$$G_{Loop} = -A(s)$$

Il guadagno del blocco di andata si ottiene dunque tramite la seguente relazione:

$$G = -G_{Id} G_{Loop} = A(s)$$

Graficamente il modulo della funzione di trasferimento avrà dunque l'andamento mostrato in figura 2 mentre la sua espressione completa sarà:

$$H(s) = G_{Id} \frac{|G_{Loop}|}{1 + |G_{Loop}|} = \frac{A(s)}{1 + A(s)}$$

Ricordando le caratteristiche dell'operazionale 741 avremo:

$$\begin{cases} A_0 = 2 \cdot 10^5 \\ \omega_0 = 10\pi \frac{rad}{s} \end{cases}$$

e quindi, ricordando la relazione:

$$\tau_0 = \frac{1}{\omega_0}$$

la funzione di trasferimento può essere riscritta nel modo seguente:

$$H(s) = \frac{A_0}{1 + A_0 + s\tau_0} \quad (1)$$

Dunque si avrà:

$$v_{Out}(s) = H(s)v_{In}(s)$$

Supponendo che la tensione di ingresso sia una costante, ovvero che sia:

$$v_{In}(t) = E$$

si avrà:

$$v_{In}(s) = \frac{E}{s}$$

e dunque si ricava:

$$v_{Out}(s) = H(s) \frac{E}{s} \quad (2)$$

Per trovare la tensione di uscita in funzione del tempo dovrò considerare l'antitrasformata di Laplace della tensione di uscita in funzione di s, ovvero:

$$v_{Out}(t) = L^{-1}\{v_{Out}(s)\}$$

ovvero:

$$v_{Out}(t) = L^{-1} \left\{ \frac{EA_0}{s(1+A_0+s\tau_0)} \right\} = L^{-1} \left\{ \frac{A_0 E}{\tau_0} \cdot \frac{1}{s} \cdot \frac{1}{s + \frac{1+A_0}{\tau_0}} \right\}$$

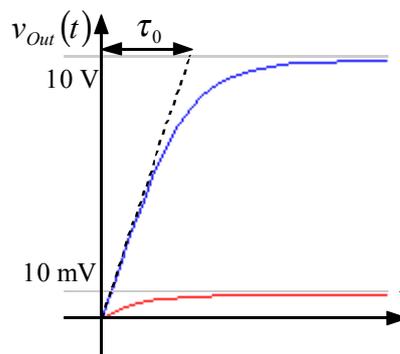
Ricordiamo ora che:

$$\frac{1}{s + s^*} \Rightarrow e^{-s^*t}$$

e che la divisione per s corrisponde all'integrazione; abbiamo così:

$$v_{Out}(t) = \frac{A_0 E}{\tau_0} \int_0^t e^{-\frac{1+A_0}{\tau_0} t} dt = \frac{A_0 E}{1+A_0} \left( 1 - e^{-\frac{1+A_0}{\tau_0} t} \right)$$

Il grafico dell'andamento temporale dell'uscita è dunque quello mostrato in figura 3 nella quale vediamo l'andamento relativo a due casi nei quali la tensione del generatore di ingresso fornisca una tensione di 10 mV (caso a) o di 10 V (caso b).



**Figura 3**

E' utile sottolineare che, in situazione standard si ha:

$$\tau_0 = 160 ns$$

Definiamo ora lo Slew Rate come la derivata temporale, valutata nell'origine, dell'uscita e quindi, nel caso in questione:

$$SL = \left. \frac{dv_{Out}}{dt} \right|_{t=0} = \frac{A_0 E}{\tau_0}$$

Nei due casi che abbiamo in precedenza accennato avremo dunque:

$$\begin{cases} SL_{(a)} = 0,06 \frac{V}{\mu s} \\ SL_{(b)} = 60 \frac{V}{\mu s} \end{cases}$$

Lo Slew Rate è ovviamente importante perché gli operazionali non possono evolvere con una velocità superiore rispetto al limite dato dallo Slew Rate stesso; per quanto riguarda l'operazionale 741, questo presenta uno Slew Rate di 0,63 V/μs e quindi è compatibile con il caso a ma non è compatibile con il caso b. L'operazionale 741 non riesce dunque a stare dietro ad una variazione come quella imposta; osserviamo a questo proposito che si ha:

$$\frac{dv_{Out}}{dt} \approx 100 SR_{741}$$

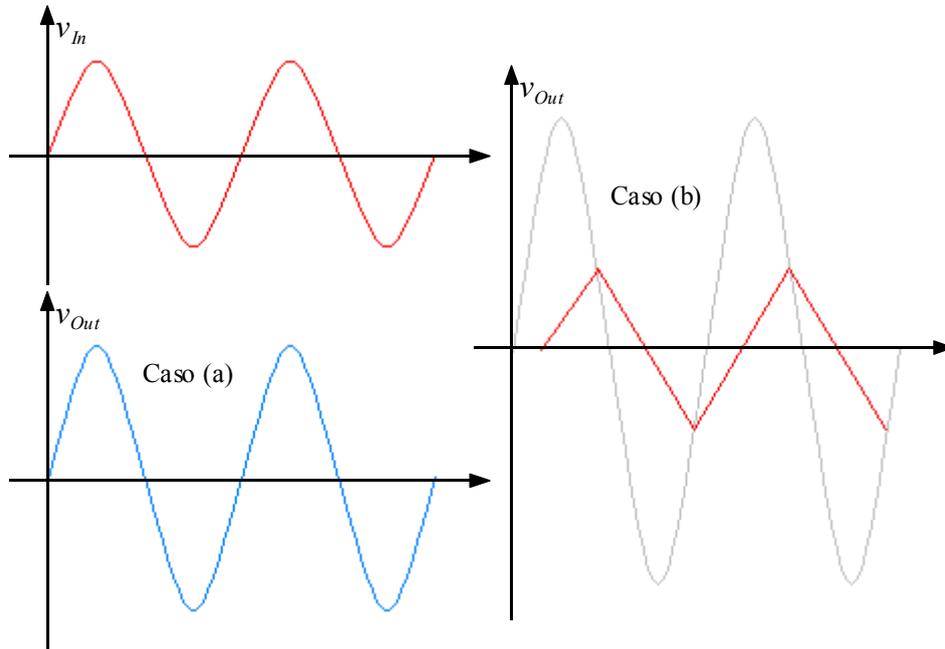
e questo significa che la costante di tempo  $\tau_0$  non sarà più di 160 ns ma sarà di 16 ms nei quali l'operazionale si trova a lavorare in una situazione nella quale la controreazione non ha nessun peso. In figura 4 vediamo dunque l'andamento dell'ingresso e dell'uscita in condizioni in cui la condizione imposta dallo Slew Rate sia soddisfatta (caso a) e in condizioni in cui la condizione imposta dallo Slew Rate non sia soddisfatta (caso b). Per valutare la massima pulsazione necessaria che permetta di evitare una distorsione del segnale di uscita dobbiamo considerare la seguente relazione:

$$\left. \frac{dv_{Out}}{dt} \right|_{Max} = v_{Out} \omega \leq SR$$

dalla quale si ricava:

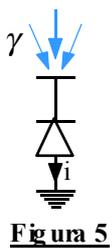
$$\omega_{Max} = \frac{SR}{V_{Out}}$$

che, nel caso in analisi, porta ad una pulsazione di circa 10 kHz. Con riferimento all'operazionale 741, dunque, anche se la banda si spinge fino a 1 MHz, se vogliamo processare segnali di ampiezza pari a 10 V dobbiamo, limitarci ai 10 kHz di pulsazione.

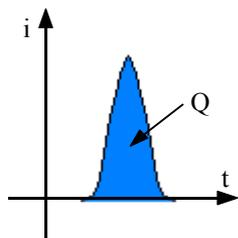


**Figura 4**

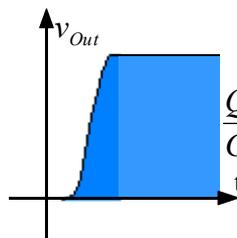
Vediamo di applicare il discorso fatto per lo Slew Rate considerando un rivelatore di raggi  $\gamma$  di energia pari a 60 keV. Come vediamo in figura 5, i raggi  $\gamma$  colpiscono una piastra collegata con un diodo; quando la radiazione colpisce la piastra, la carica positivamente e questo porta il punto di lavoro del diodo oltre il punto di Break-Down. Come conseguenza si nota un fiotto di corrente che attraversa il diodo. La lettura della corrente su un diagramma (t,i) ci permette di valutare la carica Q (l'area sotto la curva di figura 6) che è arrivata sulla piastra e quindi di capire che è giunta la radiazione  $\gamma$ . L'impulso di corrente di figura 6 è però molto piccolo e quindi dobbiamo intervenire circuitalmente per renderlo maggiormente visibile.



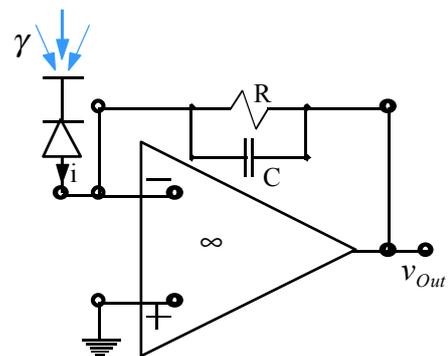
**Figura 5**



**Figura 6**



**Figura 7**



**Figura 8**

Sarebbe per esempio comodo avere un andamento come quello mostrato in figura 7. Introduciamo dunque un integratore; siccome poi è necessario che il condensatore presente nell'integratore si scarichi in un tempo sufficientemente breve per rendere il rivelatore pronto ad osservare un nuovo raggio  $\gamma$  si dovrà utilizzare un integratore approssimato e quindi il circuito si evolverà fino ad ottenere quello mostrato in figura 8. Complessivamente, tenendo conto della necessità di resettare il rivelatore ripetutamente per poter registrare un maggior numero di eventi e della necessità di amplificare in maniera adeguata il segnale, si fa riferimento al circuito complessivo mostrato in figura 9. Se dunque l'andamento temporale del segnale di ingresso è il seguente:

$$i(t) = Q\delta(t)$$

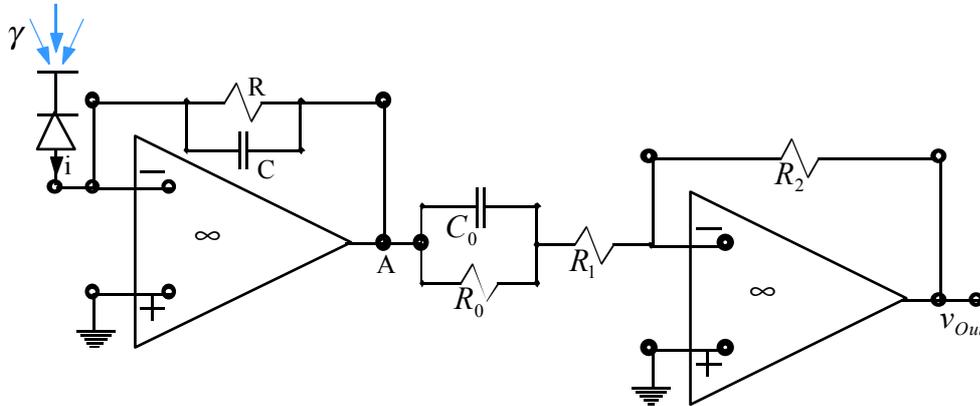
la corrispettiva espressione del segnale in funzione della  $s$  sarà:

$$i(s) = Q \tag{3}$$

Al nodo A, ovvero dopo l'integratore approssimato, il guadagno (che, essendo l'operazionale ideale coincide con il guadagno ideale) è dato dalla relazione:

$$\frac{v_A}{i_{in}} = -\frac{1}{C} \cdot \frac{1}{s + \frac{1}{RC}}$$

essendo la tensione sul nodo A la medesima (a meno del segno) che ricade sull'impedenza formata dal parallelo della resistenza R e della capacità C.



**Figura 8**

Tra il nodo A e l'uscita vediamo una configurazione invertente nella quale, invece che una semplice resistenza  $R_1$ , troviamo l'impedenza  $Z$  definita nel modo seguente:

$$Z = R_1 + (R_0 // C_0) = R_1 + \frac{R_0}{1 + sR_0C_0}$$

Dunque il guadagno della seconda parte del circuito, che corrisponderà anche in questo caso con il guadagno ideale essendo ideale anche il secondo operazionale, sarà:

$$\frac{v_{Out}}{v_A} = -\frac{R_2}{Z} = -\frac{R_2}{R_0 + R_1} \cdot \frac{1 + sR_0C_0}{1 + s \frac{R_0R_1}{R_0 + R_1} C_0}$$

La funzione di trasferimento complessiva è dunque la seguente:

$$\frac{v_{Out}}{i_{in}} = \frac{1}{C} \cdot \frac{1}{s + \frac{1}{RC}} \cdot \frac{R_2}{R_0 + R_1} \cdot \frac{1 + sR_0C_0}{1 + s \frac{R_0R_1}{R_0 + R_1} C_0}$$

Ricordando dunque la relazione (3) si ricava:

$$v_{Out}(s) = Q \frac{1}{C} \cdot \frac{1}{s + \frac{1}{RC}} \cdot \frac{R_2}{R_0 + R_1} \cdot \frac{1 + sR_0C_0}{1 + s \frac{R_0R_1}{R_0 + R_1} C_0}$$

Imponiamo ora che sia:

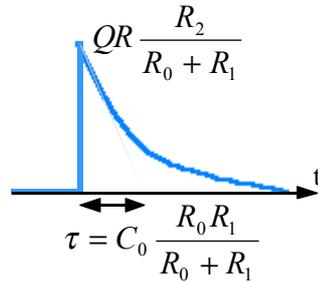
$$RC = R_0C_0$$

così che l'espressione della tensione di uscita diventa la seguente:

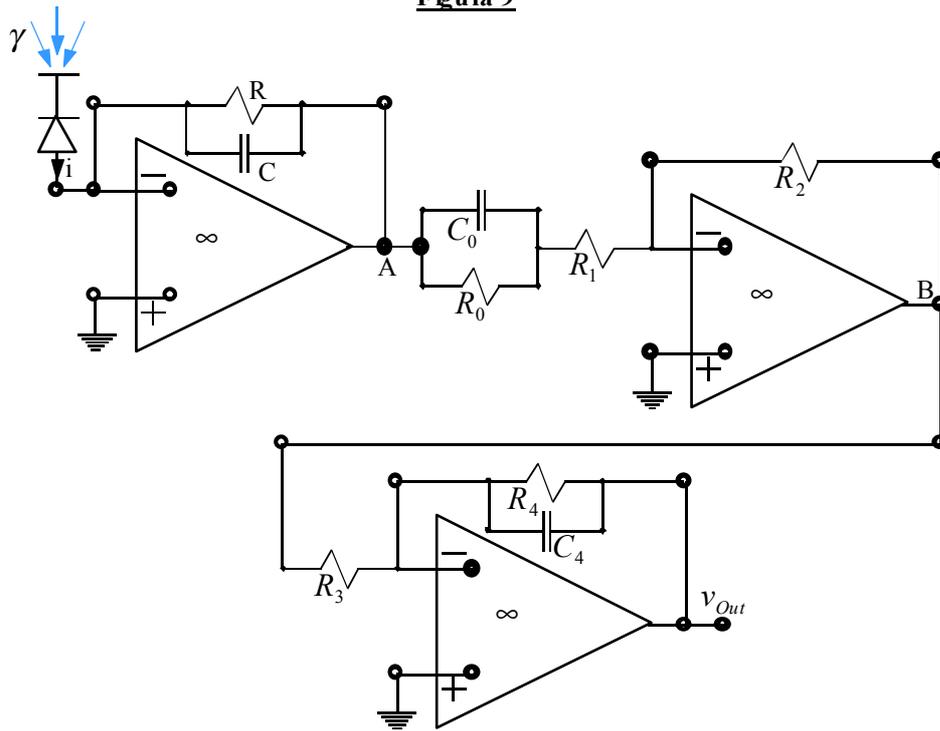
$$v_{Out}(s) = QR \frac{R_2}{R_0 + R_1} \cdot \frac{1}{1 + s \frac{R_0R_1}{R_0 + R_1} C_0}$$

Con il circuito di figura 8 otteniamo un andamento del segnale di uscita come quello mostrato in figura 9. Ovviamente non è molto comodo avere un segnale che, anche se abbastanza amplificato, tende ad annullarsi immediatamente; per questo motivo introduciamo un ulteriore integratore approssimato ottenendo complessivamente il circuito mostrato in figura 10. La funzione di trasferimento legata al tratto di circuito che si estende dal nodo B all'uscita complessiva sarà allora, osservando che anche l'ultimo operazionale introdotto è ideale e che l'integratore approssimato ha una struttura invertente nella quale l'impedenza di retroazione non è costituita da una semplice resistenza ma dal parallelo di una resistenza e di una capacità:

$$\frac{v_{Out}}{v_B} = -\frac{Z}{R_3} = -\frac{R_4}{R_3} \cdot \frac{1}{1 + sR_4C_4}$$



**Figura 9**

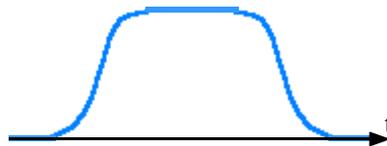


**Figura 10**

La funzione di trasferimento complessiva avrà allora la seguente forma:

$$v_{Out}(s) = -QR \frac{R_2}{R_0 + R_1} \cdot \frac{R_4}{R_3} \cdot \frac{1}{1 + s \frac{R_0 R_1}{R_0 + R_1} C_0} \cdot \frac{1}{1 + sR_4C_4}$$

Otteniamo allora un segnale che ha l'andamento mostrato in figura 11.

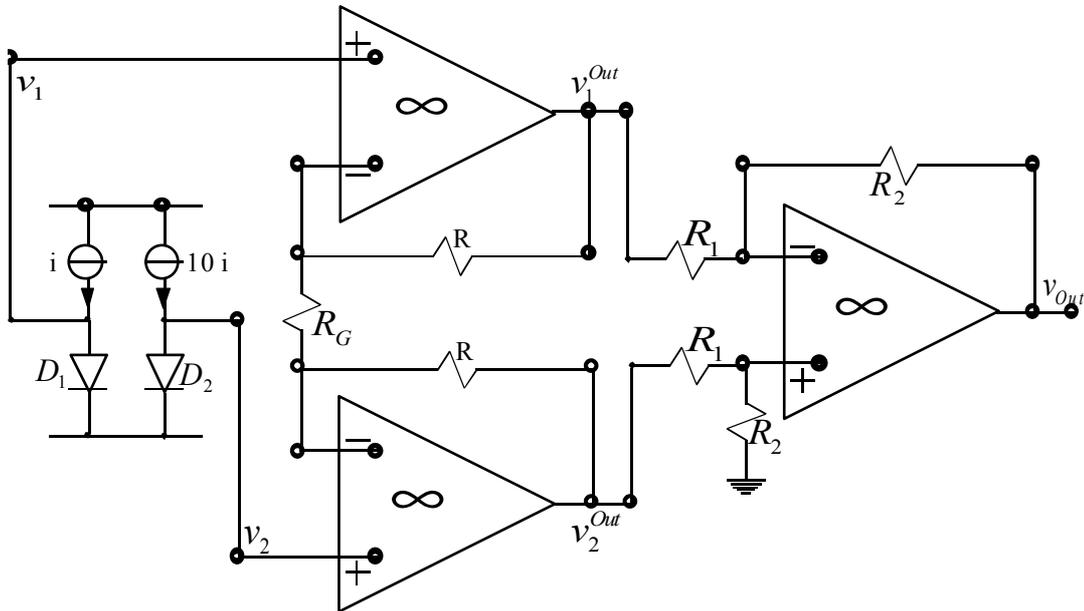


**Figura 11**

Notiamo dunque che abbiamo ora un segnale amplificato e che, in un tempo non troppo breve (tipicamente 1 μs) rimane costante e permette dunque di individuare in maniera relativamente sicura la ricezione dell'evento; dopo tale intervallo di tempo il segnale torna nullo e il rivelatore è pronto per un altro evento.

Vediamo ora un'altra interessante applicazione elettronica: il termometro elettronico mostrato nel circuito di figura 12. Soffermandoci sulla prima parte del circuito vediamo che le caratteristiche relative ai due diodi presenti danno origine al seguente sistema:

$$\begin{cases} i_{D_1} = i_{S_1} e^{v_1/v_{Th}} \\ i_{D_2} = i_{S_2} e^{v_2/v_{Th}} \end{cases}$$



**Figura 12**

Il rapporto tra le relazioni che compongono l'ultimo sistema scritto ci porta alla seguente espressione:

$$\frac{i_{D_1}}{i_{D_2}} = \frac{i_{S_1}}{i_{S_2}} e^{\frac{v_1 - v_2}{v_{Th}}}$$

Passando al logaritmo si ricava poi:

$$v_{Th} \ln \left( \frac{i_{D_1}}{i_{D_2}} \cdot \frac{i_{S_2}}{i_{S_1}} \right) = v_1 - v_2$$

Supponiamo poi che i due diodi siano uguali e che quindi si abbia:

$$i_{S_1} = i_{S_2}$$

questo ci permette di modificare la relazione precedente fino ad ottenere:

$$v_{Th} \ln(10 \cdot 1) = v_1 - v_2$$

Da quest'ultima relazione, ricordando l'espressione della tensione termica, si ottiene:

$$v_1 - v_2 = \frac{K_B}{q} T \ln(10)$$

Il cuore del termometro elettronico è dunque questo perché si ottiene una differenza di tensione che è funzione della temperatura alla quale sono esposti i due diodi. La seconda parte del circuito è invece un amplificatore per strumentazione come quello che abbiamo visto nell'esercitazione numero 6. Ricordando allora quanto visto durante l'analisi di tale tipo di circuito, otteniamo la seguente espressione:

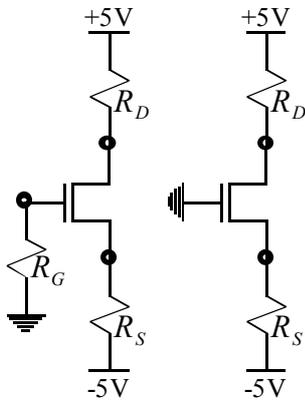
$$v_1^{Out} - v_2^{Out} = (v_1 - v_2) \left( 1 + \frac{2R}{R_G} \right)$$

Infine poi si avrà:

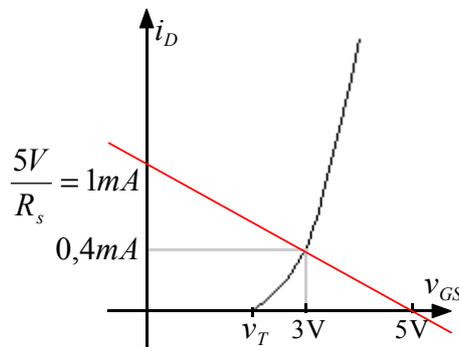
$$v_{Out} = (v_1^{Out} - v_2^{Out}) \frac{R_2}{R_1}$$

**Inverter MOS. Specchio di corrente. Inverter digitale.**

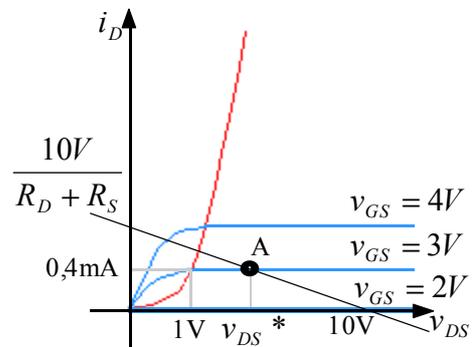
Si consideri il circuito di figura 1 e si valuti il valore di  $R_S$  affinché si abbia una corrente di drain di 0,4 mA; si valuti poi la massima  $R_D$  possibile per avere una corrente di drain di 0,4 mA in zona di saturazione.



**Figura 1**      **Figura 2**



**Figura 3**



**Figura 4**

Sono forniti i seguenti dati numerici:

$$\begin{cases} i_D = 0,4mA \\ K = 0,4 \frac{mA}{V^2} \\ v_T = 2V \end{cases}$$

Come prima cosa osserviamo che la resistenza  $R_G$  è assolutamente ininfluyente in quanto non vi scorre nessuna corrente; da questo momento in poi, dunque, faremo riferimento al circuito di figura 2. Sappiamo che, affinché ci sia canale si deve avere:

$$v_{GS} > v_T$$

e questo significa che la tensione di source  $v_S$  dove essere almeno pari a  $-2V$ ; come conseguenza la caduta di tensione sulla resistenza  $R_S$  non può essere superiore ai 3V. Supponiamo dunque di essere in condizioni di saturazione e quindi consideriamo la seguente espressione della corrente di drain:

$$i_D = K(v_{GS} - v_T)^2 \quad (1)$$

Vale inoltre, ovviamente, la seguente espressione:

$$v_{GS} = v_G - v_S$$

ovvero, nella particolare situazione mostrata in figura 2:

$$v_{GS} = -v_S \quad (2)$$

Dalla topologia del circuito si deduce la validità della seguente espressione:

$$v_S = (-5V) + i_D R_S \quad (3)$$

Dalla relazione (1) ricavo dunque:

$$v_{GS} = v_T + \sqrt{\frac{i_D}{K}} = 3V$$

Sfruttando la relazione (2) si ottiene, ovviamente:

$$v_S = -3V$$

Utilizziamo ora la relazione (3) dalla quale si ottiene il valore della resistenza  $R_S$  richiesta:

$$R_S = \frac{v_S - (-5V)}{i_D} = 5k\Omega$$

Tutto questo discorso è stato fatto supponendo di essere in zona di saturazione, ora dobbiamo effettivamente verificare le condizioni che ci permettono di affermare che effettivamente siamo in zona di saturazione; imponendo di essere in zona di saturazione inizia ad essere decisivo il valore di  $R_D$ . Per essere effettivamente in saturazione si deve avere:

$$v_{GD} \leq v_T$$

Per dimostrare questo iniziamo con l'osservare che la topologia del circuito ci permette di affermare che:

$$v_D = (5V) - i_D R_D \quad (4)$$

Facciamo ora riferimento alla transcaratteristica del dispositivo che vediamo in figura 3 e la caratteristica di uscita del dispositivo che vediamo invece in figura 4. Il valore della tensione  $v_{DS}$  che corrisponde alla frontiera tra la zona di saturazione e la zona di triodo è dato dalla seguente relazione:

$$v_{DS}^{Sat} = v_{GS} - v_T = 1V$$

Consideriamo ora la seguente ovvia espressione:

$$v_{DS} = v_D - v_S$$

dalla quale possiamo ricavare, sfruttando i valori numerici prima trovati, il minimo valore applicabile della  $v_D$ , che sarà:

$$v_D^{Min} = v_{DS}^{Sat} + v_S = -2V$$

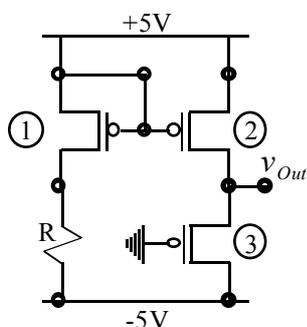
Dalla relazione (4) possiamo ora ricavare il valore della resistenza  $R_D$  richiesto:

$$R_D = \frac{(5V) - v_D^{Min}}{i_D} = 17,5k\Omega$$

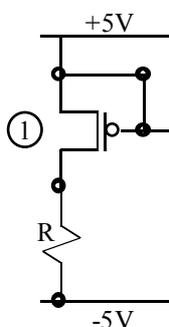
La tensione  $v_{DS}^*$  che corrisponde al punto di lavoro si ottiene risolvendo la relazione seguente:

$$(10V) - i_D (R_S + R_D) = v_{DS}^*$$

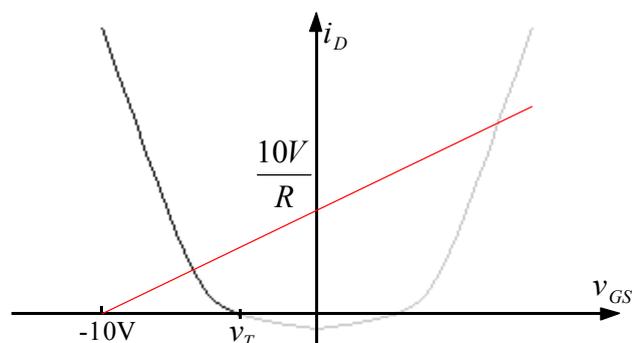
Dato il circuito di figura 5, valutare il rapporto di forma del terzo transistor che garantisce una tensione di uscita pari a 3 V.



**Figura 5**



**Figura 6**



**Figura 7**

Vengono forniti i seguenti dati numerici:

$$\begin{cases} v_T = -1V \\ K_p^1 = 20 \frac{\mu A}{V^2} \\ \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 50 \\ R = 16k\Omega \end{cases}$$

Ci soffermiamo inizialmente sul tratto di circuito mostrato in figura 6; dai dati che ci sono stati forniti ricaviamo, innanzitutto:

$$K_1 = \frac{1}{2} K_p^1 \left(\frac{W}{L}\right)_1 = 0,5 \frac{mA}{V^2} \quad (5)$$

Un primo metodo risolutivo che possiamo applicare è quello analitico che prevede di supporre che il transistor numero 1 sia in saturazione e quindi di poter esprimere la corrente di drain che lo attraversa tramite la formula:

$$i_{D_1} = K_1 (v_{GS} - v_T)^2 \quad (6)$$

Osservando il circuito vediamo poi che si ha:

$$v_{GS} = -[(10V) - i_{D_1} R] \quad (7)$$

Dal sistema di queste due equazioni si possono ottenere i valori di  $i_{D_1}$  e di  $v_{GS}$ . (osservando la figura 7 possiamo intuire che si otterranno due soluzioni per la  $v_{GS}$  in quanto la retta incontrerà analiticamente la parabola in due punti, bisogna ovviamente tener conto solo della soluzione inferiore alla  $v_T$ ). La soluzione analitica darebbe i seguenti due risultati:

$$\begin{cases} v_{GS} = -2V \\ i_{D1} = 0,5mA \end{cases}$$

Invece della soluzione analitica noi ci soffermeremo su una soluzione che sfrutta il metodo iterativo ovvero imponiamo arbitrariamente una certa tensione  $v_{GS}$  e sfruttiamo la relazione (7) per ottenere la corrente  $i_{D1}$ :

$$i_{D1} = \frac{v_{GS} + (10V)}{R}$$

Una volta calcolata la corrente  $i_{D1}$  sfruttiamo la relazione (6) per ricavare la nuova tensione  $v_{GS}$ :

$$v_{GS} = v_T + \sqrt{\frac{i_{D1}}{K}}$$

Il nuovo valore di  $v_{GS}$  trovato sarà il nuovo punto di partenza per una nuova iterazione. Partiamo supponendo che la iniziale tensione  $v_{GS}$  corrisponda con la tensione di soglia  $v_T$ ; avremo allora la serie di iterazioni mostrata nella seguente tabella:

Iterazione	$v_{GS}$	$i_{D1}$		$v_{GS}$
1	-1 V	0,5625 mA	→	-2,061 V
2	-2,061 V	0,4962 mA		-1,996 V
3	-1,996 V	0,5002 mA		-2 V

Osserviamo che è sufficiente fermarsi dopo tre iterazioni perché gli ultimi due risultati trovati per corrente e tensione differiscono tra di loro di circa un millesimo; notiamo inoltre che, ovviamente, le soluzioni trovate con il metodo iterativo tendono, oscillando, alle soluzioni esatte trovate con il metodo analitico. Ora dobbiamo verificare l'ipotesi che abbiamo in precedenza fatta secondo la quale il primo transistor lavora in zona di saturazione; a questo scopo notiamo come sia:

$$v_{GD} = 0$$

e quindi, essendo

$$v_{GD} > v_T$$

siamo effettivamente in zona di saturazione (ricordiamo che siamo in presenza di un P-MOS). Siccome c'è un collegamento fisico tra il gate e il drain, possiamo affermare che il transistor numero 1 è sempre in zona di saturazione. Sofferamoci ora sul secondo transistor; osservando il circuito possiamo notare come sia:

$$v_{GS1} = v_{GS2}$$

e quindi, siccome il primo e il secondo transistor sono uguali, avremo che anche le due correnti di drain sono uguali:

$$i_{D1} = i_{D2}$$

(questa configurazione prende il nome di specchio di corrente ed è una struttura che rivedremo in dettaglio più avanti). Passando infine al transistor numero 3 notiamo che la sua corrente di drain è fissata dal transistor numero 2 e quindi si ha:

$$i_{D2} = i_{D3}$$

Dalla topologia del circuito osserviamo inoltre come sia:

$$v_{S3} = v_{Out}$$

e quindi si avrà:

$$v_{GS3} = v_{G3} - v_{S3} = v_{G3} - v_{Out}$$

Siccome il gate del terzo transistor è collegato a massa ci si ridurrà ad avere:

$$v_{GS3} = -v_{Out} = -3V$$

Sfruttiamo ora l'analoga della relazione (6) per il terzo transistor e ricaviamo il coefficiente K:

$$K_3 = \frac{i_{D3}}{(v_{GS3} - v_T)^2} = 0,125 \frac{mA}{V^2}$$

Sfruttando infine l'analoga relazione (5) relativa al terzo transistor si ricava il rapporto di forma cercato:

$$\left(\frac{W}{L}\right)_3 = \frac{2K_3}{K_p^1} = 12,5$$

Dobbiamo infine verificare che anche i transistor 2 e 3 siano in saturazione; ovviamente si avrà:

$$v_{GS1} = v_{G1} - v_{S1} = v_{G1} - (5V)$$

dalla quale si ricava:

$$v_{G_1} = (5V) + v_{GS_1} = 3V$$

Dal circuito notiamo poi come sia:

$$v_{G_1} = v_{G_2}$$

e anche:

$$v_{S_3} = v_{D_2}$$

Se ne ricava, dunque:

$$v_{GD_2} = v_{G_2} - v_{D_2} = 0V$$

e quindi è verificata la condizione secondo la quale deve essere:

$$v_{GD_2} > v_T$$

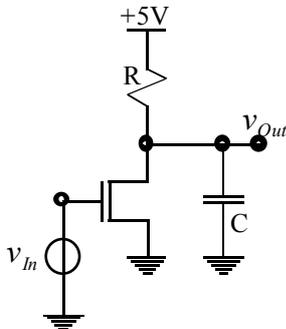
Nel caso del terzo transistor vediamo che si ha:

$$v_{GD_3} = v_{G_3} - v_{D_3} = 5V$$

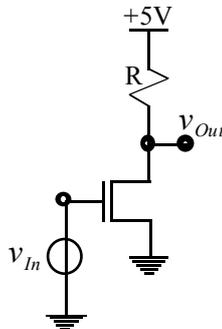
e quindi ancora è verificata la condizione secondo la quale:

$$v_{GD_3} > v_T$$

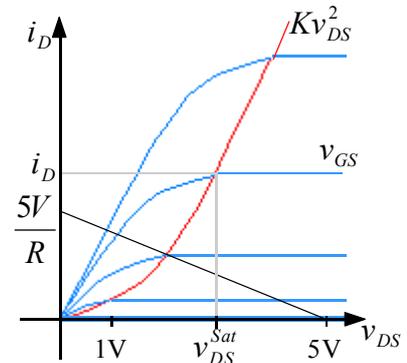
Consideriamo ora l'inverter digitale mostrato in figura 8 e si valuti la caratteristica di trasferimento statico della tensione (da  $v_{In}$  a  $v_{Out}$ ) quotando i punti principali, ovvero  $v_{iL}$ ,  $v_{iH}$ ,  $v_{oL}$  e  $v_{oH}$ ; valutare inoltre il margine di rumore dei livelli alto e basso ( $NM_H$  e  $NM_L$ ) e il livello della soglia logica  $v_{TH}$ .



**Figura 8**



**Figura 9**



**Figura 10**

Sono forniti i seguenti valori numerici:

$$\begin{cases} v_T = 1V \\ K = \frac{1}{16} \frac{mA}{V^2} \\ R = 12k\Omega \\ C = 1pF \end{cases}$$

Come prima cosa notiamo che, siccome dobbiamo cercare la caratteristica di trasferimento statico, la capacità può essere omessa e quindi, da ora in avanti, faremo riferimento al circuito di figura 9. Notando ora dalla topologia del circuito come sia:

$$v_{DS} = v_{Out}$$

valutiamo la caratteristica interna del circuito combinata con la curva di carico (in questo caso il carico è una semplice resistenza e quindi la curva di carico è una retta) mostrata in figura 10. Notiamo innanzitutto che è:

$$\frac{(5V)}{R} = \frac{5}{12} mA$$

Facendo riferimento alle seguenti relazioni

$$\begin{cases} i_D = K(v_{GS} - v_T)^2 \\ v_{DS}^{Sat} = v_{GS} - v_T \end{cases}$$

possiamo costruire la seguente tabella:

$v_{GS}$	$I_D$	$v_{DS}^{Sat}$
1 V	-	-
2 V	$\frac{1}{16} mA$	1 V
3 V	$\frac{1}{4} mA$	2 V
4 V	$\frac{9}{16} mA$	3 V
5 V	1 mA	4 V

Osserviamo ora che:

$$v_{In} = v_{GS}$$

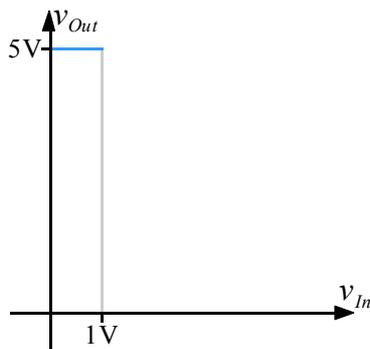
e costruiamo ora la caratteristica di trasferimento statico della tensione; dalla figura 10 (con la relativa tabella) vediamo che, fino a quando la tensione di ingresso è inferiore a 2 V, abbiamo la relazione

$$v_{GS} < v_T$$

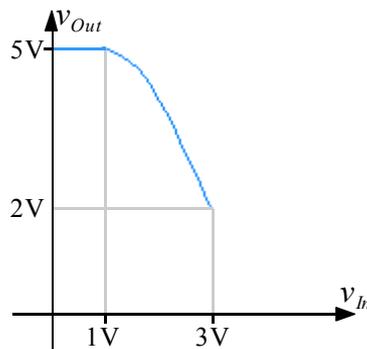
e quindi il transistor è spento. Se il transistor è spento vediamo che non passa corrente nella resistenza R e quindi si avrà:

$$v_{Out} = 5V = v_{oH}$$

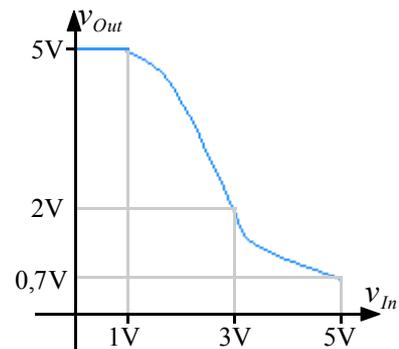
Siamo dunque ora in grado di disegnare il primo pezzo di caratteristica, che vediamo in figura 11.



**Figura 11**



**Figura 12**



**Figura 13**

Quando la tensione di ingresso supera il valore di 1 V il transistor si accende e lavora in condizione di saturazione; facendo riferimento alla topologia del circuito si ricava la seguente relazione:

$$v_{DS} = (5V) - i_D R \quad (8)$$

dalla quale si ricava:

$$i_D = \frac{(5V) - v_{DS}}{R}$$

Facciamo ora riferimento alla figura 10 e vediamo che il punto in cui si passa dalla zona di saturazione alla zona di triodo si ha quando è soddisfatto il seguente sistema:

$$\begin{cases} i_D = \frac{(5V) - v_{DS}}{R} \\ i_D = K v_{DS}^2 \end{cases}$$

dal quale si ricavano due soluzioni. Dobbiamo prendere ovviamente solo la soluzione positiva che, come era visibile anche sul grafico della medesima figura 10, risulta essere pari a 2 V. Rifacendosi alla tabella che accompagnava la figura 10 ricaviamo dunque che si ha funzionamento in saturazione fino ad un ingresso pari a 3 V. Nell'intervallo tra 1V e 3V, quindi, la curva sarà espressa dalla seguente relazione (ottenuta combinando la relazione (8) con l'espressione relativa alla corrente di drain nel caso di saturazione):

$$v_{DS} = (5V) - RK(v_{GS} - v_T)^2 \quad (9)$$

in figura 12 vediamo la caratteristica che possiamo descrivere con le osservazioni fatte fino ad ora. Quando l'ingresso supera i 3V il transistor inizia a funzionare in zona triodo e continuerà a lavorare in questo modo fino a quando non si raggiungono i 5V. In questo tratto la relazione (8) assume la seguente forma:

$$v_{DS} = (5V) - 2RK \left[ (v_{GS} - v_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad (10)$$

dalla quale possiamo ricavare:

$$RKv_{DS}^2 + v_{DS} (2RKv_T - 2RKv_{GS} - 1) + (5V) = 0$$

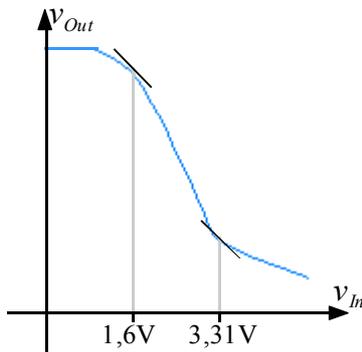
Quando l'ingresso è pari a 5 V possiamo fare riferimento al seguente sistema:

$$\begin{cases} RKv_{DS}^2 + v_{DS} (2RKv_T - 2RKv_{GS} - 1) + (5V) = 0 \\ v_{GS} = 5V \end{cases}$$

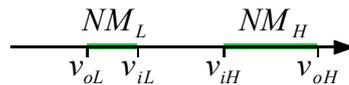
Da tale sistema si ottengono due valori della  $v_{DS}$  tra i quali scegliamo ovviamente il più piccolo che è:

$$v_{DS} = 0,7V = v_{oL}$$

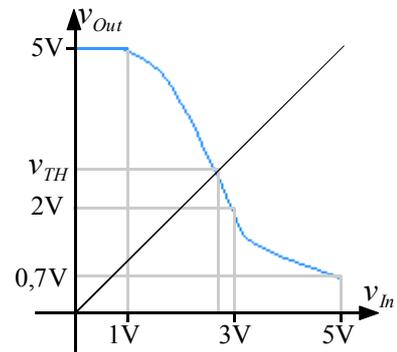
In figura 13 vediamo dunque la caratteristica completa del circuito. Torniamo ora nella zona di saturazione e andiamo a valutare il punto  $v_{iL}$  che è definito come il valore di ingresso che corrisponde al punto che ha valore di derivata pari a  $-1$  (si faccia dunque riferimento alla figura 14).



**Figura 14**



**Figura 15**



**Figura 16**

Derivando la relazione (9) rispetto a  $v_{GS}$  si ottiene dunque:

$$\frac{\partial v_{DS}}{\partial v_{GS}} = -2RKv_{GS} + 2RKv_T$$

Imponiamo dunque che sia:

$$-2RKv_{GS} + 2RKv_T = -1$$

da cui si ricava:

$$v_{GS} = \frac{1}{2RK} + v_T = 1,6V = v_{iL}$$

Un discorso analogo può poi essere fatto per quanto riguarda il punto  $v_{iH}$ ; in questo caso sarà necessario, per prima cosa, riscrivere la relazione (10) nella forma seguente:

$$v_{GS} = \frac{(5V)}{2RKv_{DS}} + v_T + \frac{v_{DS}}{2} - \frac{1}{2RK} \quad (11)$$

Deriviamo ora tale espressione rispetto a  $v_{DS}$  e ricaviamo:

$$\frac{\partial v_{GS}}{\partial v_{DS}} = -\frac{(5V)}{2RK} \cdot \frac{1}{v_{DS}^2} + \frac{1}{2} = \frac{RKv_{DS}^2 - (5V)}{2RKv_{DS}^2}$$

Invertiamo ora tale derivata ottenendo:

$$\frac{\partial v_{DS}}{\partial v_{GS}} = \frac{2RKv_{DS}^2}{RKv_{DS}^2 - (5V)}$$

Imponiamo ora, come visto in precedenza, che la derivata sia pari a  $-1$ : ovvero imponiamo che sia:

$$\frac{2RKv_{DS}^2}{RKv_{DS}^2 - (5V)} = -1$$

da cui si ricava:

$$3RKv_{DS}^2 - (5V) = 0$$

e quindi:

$$v_{DS} = 1,49V$$

Sostituendo dunque nella relazione (11) si ricava:

$$v_{GS} = 3,31V = v_{iH}$$

Con riferimento alla figura 15 valutiamo ora i margini di rumore tramite le seguenti semplici relazioni:

$$\begin{cases} NM_L = v_{iL} - v_{oL} = 0,96V \\ NM_H = v_{oH} - v_{iH} = 1,7V \end{cases}$$

La tensione di soglia logica è invece definita come la tensione che corrisponde all'intersezione della caratteristica del circuito con la bisettrice, ovvero con la curva espressa dalla relazione:

$$v_{DS} = v_{GS}$$

Tale curva andrà intersecata con l'espressione della caratteristica relativa alla zona di saturazione (come appare evidente osservando la figura 16) e si avrà quindi il seguente sistema:

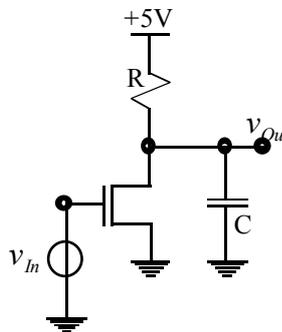
$$\begin{cases} v_{DS} = v_{GS} \\ v_{DS} = (5V) - RK(v_{GS} - v_T)^2 \end{cases}$$

dal quale si ricava:

$$v_{GS} = 2,74V = v_{TH}$$

**Inverter digitale. Inverter C-MOS.**

Consideriamo ancora l'inverter digitale del quale ci siamo occupati nella scorsa esercitazione e che vediamo in figura 1 e valutiamo il tempo di propagazione dell'inverter quando si fornisce in ingresso un gradino di tensione di 5V.



**Figura**

Ricordiamo i dati numerici che avevamo fornito:

$$\left\{ \begin{array}{l} v_T = 1V \\ K = \frac{1}{16} \frac{mA}{V^2} \\ R = 12k\Omega \\ C = 1pF \end{array} \right.$$

Soffermiamoci inizialmente sulla transizione da alto a basso ( $T_{HL}$ ); il problema consiste, sostanzialmente, nel valutare la scarica del condensatore  $C$ ; per risolverlo non ci rifacciamo alla soluzione esatta (troppo complicata) ma sfruttiamo le tre approssimazioni che solitamente si utilizzano per situazioni di questo genere. Come prima cosa osserviamo la validità della seguente relazione:

$$K_n^1 \left( \frac{W}{L} \right)_n = 2K$$

- Il primo metodo consiste nel supporre che la scarica non avvenga lungo la caratteristica effettiva del transistor ma lungo una caratteristica lineare; supponiamo dunque che il transistor venga visto come una resistenza  $R_{DS}$ ; siccome inoltre vale la seguente relazione:

$$v_{Tn} = 0,2v_{DD}$$

sappiamo, dalla lezione numero 20, che il tempo richiesto è dato dalla relazione:

$$T_{HL} = \frac{0,9C}{K_n^1 \left( \frac{W}{L} \right)_n v_{DD}} = 1,44ns$$

- Il secondo metodo di approssimazione consiste nel supporre che la scarica non avvenga lungo la caratteristica effettiva del transistor ma che avvenga a corrente costante pari alla corrente della zona di saturazione, che abbiamo calcolato nell'esercitazione numero 11. Siccome siamo sempre nella situazione in cui vale la relazione:

$$v_{Tn} = 0,2v_{DD}$$

sappiamo, dalla lezione numero 20, che possiamo utilizzare la seguente relazione approssimata:

$$T_{HL} = \frac{1,56C}{K_n^1 \left( \frac{W}{L} \right)_n v_{DD}} = 2,49ns$$

- Il terzo ed ultimo metodo di approssimazione (che è anche quello maggiormente utilizzato) prevede che la scarica del condensatore avvenga ancora a corrente costante piuttosto che sulla caratteristica effettiva del transistor ma che la corrente non sia quella della zona di saturazione ma sia una corrente intermedia; sempre sfruttando la condizione secondo la quale:

$$v_{Tn} = 0,2v_{DD}$$

si ha, ricordando quanto visto nella lezione numero 20:

$$T_{HL} = \frac{1,7C}{K_n^1 \left(\frac{W}{L}\right)_n v_{DD}} = 2,72ns$$

Il conto esatto avrebbe portato alla seguente espressione:

$$T_{HL} = \frac{1,6C}{K_n^1 \left(\frac{W}{L}\right)_n v_{DD}} = 2,56ns$$

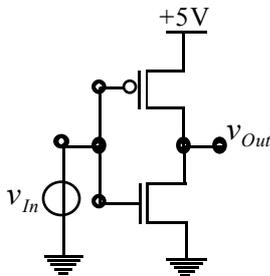
Per valutare, infine, il tempo di transizione da basso ad alto, osserviamo come ci si riduca a gestire il semplice circuito formato dalla capacità C e dalla resistenza R e quindi si avrà:

$$T_{LH} = RC \ln 2 = 8,32ns$$

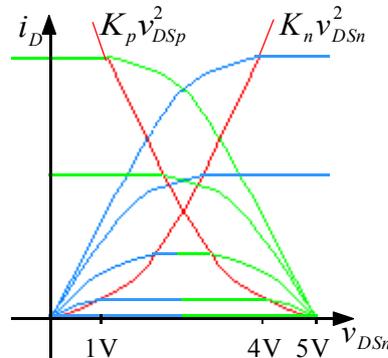
Il tempo di propagazione complessivo dell'inverter sarà dunque:

$$T_p = \frac{T_{HL} + T_{LH}}{2} = 5,44ns$$

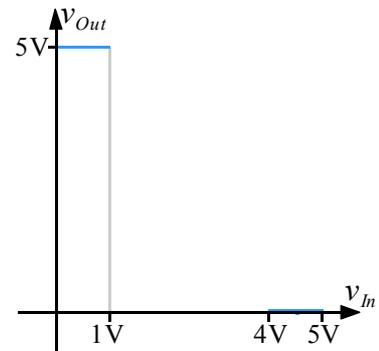
Si valuti ora l'inverter C-MOS mostrato in figura 2 e si valuti la caratteristica statica, la soglia logica, il guadagno differenziale e il tempo di commutazione.



**Figura 2**



**Figura 3**



**Figura 4**

Sono forniti i seguenti dati:

$$\begin{cases} K_n = K_p \\ v_{Tn} = |v_{Tp}| = 1V \end{cases}$$

Notando innanzitutto dalla topologia del circuito come sia:

$$\begin{cases} v_{GSn} = v_{In} \\ v_{DSn} = v_{Out} \end{cases}$$

e valutiamo la caratteristica interna del circuito combinata con la curva di carico (in questo caso il carico è attivo, essendo composto da un transistor e quindi la curva di carico è un insieme di caratteristiche relative al P-MOS) mostrata in figura 3. Ovviamente, fino a quando le  $v_{GS}$  dei due transistor rimangono al di sotto delle rispettive tensioni di soglia i MOS sono spenti e quindi possiamo disegnare da subito il primo tratto di caratteristica come mostrata in figura 4. Quando la  $v_{GS}$  dell'N-MOS supera la tensione di soglia, il transistor si accende e lavora in zona di saturazione, mentre il P-MOS si trova a lavorare in zona di triodo. Siccome siamo in presenza di un inverter C-MOS simmetrico, possiamo affermare (ricordando la lezione numero 20) che questa situazione continuerà fino a quando la tensione di ingresso non arriverà ad essere:

$$v_{In} = \frac{v_{DD}}{2} = 2,5V$$

Nell'intervallo tra 1 e 2,5 V, dunque, la caratteristica sarà rappresentata dalla seguente espressione:

$$\frac{1}{2} K_n^1 \left(\frac{W}{L}\right)_n (v_{GSn} - v_{Tn})^2 = K_p^1 \left(\frac{W}{L}\right)_p \left[ (v_{GSp} - v_{Tp}) v_{DSp} - \frac{1}{2} v_{DSp}^2 \right]$$

ovvero:

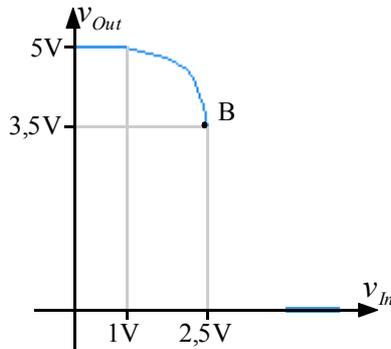
$$\frac{1}{2} (v_{In} - v_{Tn})^2 = (v_{In} - v_{DD} + |v_T|)(v_{Out} - v_{DD}) - \frac{1}{2} (v_{Out} - v_{DD})^2$$

Questa relazione rappresenta una parabola con asse parallelo alla bisettrice del I e III quadrante e che interseca la retta con  $v_{In}$  pari a  $2,5V$  nel punto B caratterizzato da:

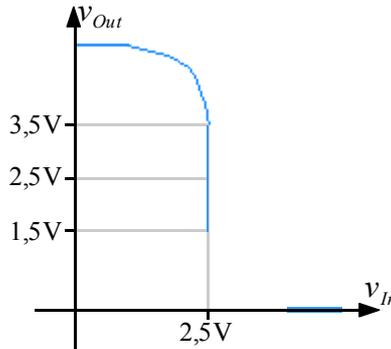
$$v_B = (2,5V) + |v_{Tp}| = 3,5V$$

In figura 5 vediamo la caratteristica dell'inverter aggiornata tenendo conto della zona di cui si è appena parlato. In un intorno molto piccolo della tensione pari a  $2,5V$  (al limite, in una situazione ideale l'intorno tende ovviamente a zero) entrambi i transistor si trovano a lavorare nella zona di saturazione e quindi siamo in presenza di un tratto rettilineo e verticale della caratteristica che si estende per un tratto individuato dalla seguente relazione:

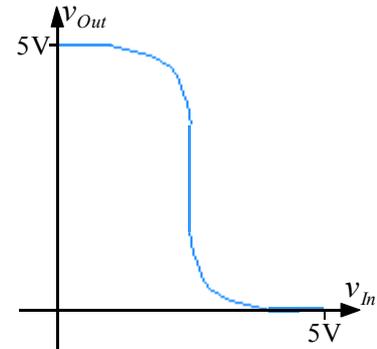
$$(2,5V) - v_{Tn} < v_{Out} < (2,5V) + |v_{Tp}|$$



**Figura 5**



**Figura 6**

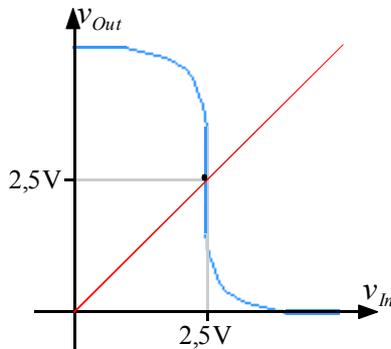


**Figura 7**

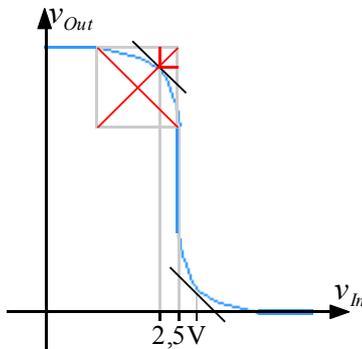
In figura 6 vediamo dunque la caratteristica del circuito aggiornata anche per questo tratto. Siccome stiamo parlando di un inverter C-MOS simmetrico, l'intervallo nel quale l'N-MOS è in zona triodo e il P-MOS è in zona saturazione si otterrà in maniera assolutamente analoga rispetto a quello con i due transistor invertiti e quindi possiamo arrivare alla caratteristica mostrata in figura 7 che è quella complessiva del circuito.

Per valutare la soglia logica dobbiamo intersecare la caratteristica del circuito con la bisettrice del I e III quadrante e quindi, come si vede dalla figura 8, è ovvio che la soglia logica sarà:

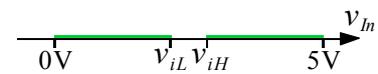
$$v_{TH} = 2,5V$$



**Figura 8**



**Figura 9**



**Figura 10**

Sfruttando considerazioni di simmetria, come si vede in figura 9, è inoltre semplice andare a valutare i valori  $v_{iL}$  e  $v_{iH}$  che saranno:

$$\begin{cases} v_{iL} = \frac{v_{DD}}{2} - \frac{1}{4} \left( \frac{v_{DD}}{2} - v_{Tn} \right) = 2,125V \\ v_{iH} = \frac{v_{DD}}{2} + \frac{1}{4} \left( \frac{v_{DD}}{2} - v_{Tp} \right) = 2,875V \end{cases}$$

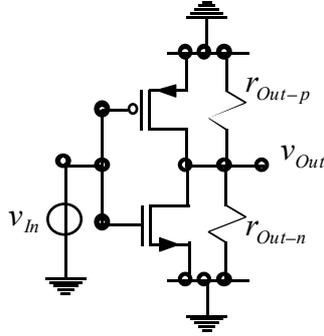
Con riferimento alla figura 10 valutiamo ora i margini di rumore tramite le seguenti semplici relazioni:

$$\begin{cases} NM_L = v_{iL} - v_{oL} = 2,125V \\ NM_H = v_{oH} - v_{iH} = 2,125V \end{cases}$$

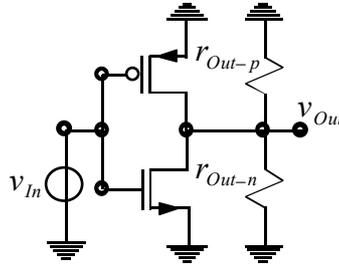
Per valutare il guadagno differenziale dobbiamo inserire le resistenze di uscita dei due MOS che, lo ricordiamo, vengono definite nel modo seguente:

$$r_{Out} = \frac{v_A}{i_D}$$

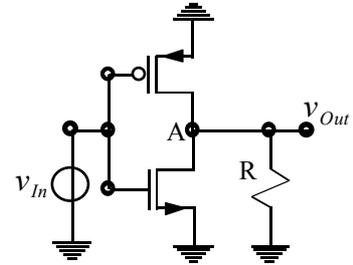
dove  $v_A$  sia la tensione di Early; la presenza delle resistenze di uscita fa in modo che il tratto verticale della curva venga leggermente inclinato. Per valutare il guadagno di piccolo segnale dobbiamo fare riferimento al circuito di figura 11



**Figura 11**



**Figura 12**



**Figura 13**

Sfruttando il fatto che il source di entrambi i MOS è a terra posso modificare tale circuito in modo da avere la configurazione mostrata in figura 12. Collegando poi in parallelo le due resistenze di uscita si ottiene una resistenza R definita come:

$$R = \frac{r_{Out-n} r_{Out-p}}{r_{Out-n} + r_{Out-p}}$$

e quindi si fa riferimento al circuito di figura 13. Dalla topologia del circuito ricaviamo dunque:

$$v_{In} = v_{gs\_n} = -v_{gs\_p}$$

Ricordando allora la definizione del parametro  $g_m$  che è la seguente:

$$g_m = \frac{2i_D}{v_{GS} - v_T}$$

possiamo ricavare le correnti di drain relative ai due MOS che saranno:

$$\begin{cases} i_{Dn} = g_m^n v_{gs}^n = g_m^n v_{In} \\ i_{Dp} = g_m^p v_{gs}^p = -g_m^p v_{In} \end{cases}$$

Dalla legge di Kirchhoff al nodo A ricaviamo allora che la corrente complessiva che si riversa nella resistenza R sarà:

$$i_R = i_{Dp} - i_{Dn} = -(g_m^p + g_m^n) v_{In}$$

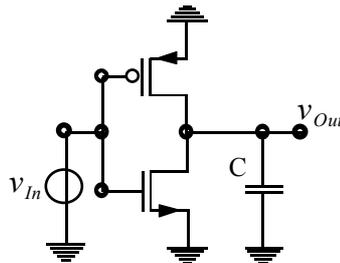
Ancora osservando la topologia del circuito si ricava dunque che:

$$v_{Out} = v_R = R i_R = -(g_m^n + g_m^p) R v_{In} = -(g_m^n + g_m^p) \frac{r_{Out}^n r_{Out}^p}{r_{Out}^n + r_{Out}^p} v_{In}$$

Il guadagno di piccolo segnale sarà dunque:

$$\frac{v_{Out}}{v_{In}} = -(g_m^n + g_m^p) \frac{r_{Out}^n r_{Out}^p}{r_{Out}^n + r_{Out}^p}$$

Per valutare, infine, il tempo di transizione, dobbiamo fare riferimento al circuito mostrato in figura 14.



**Figura 14**

Siccome il C-MOS considerato è perfettamente simmetrico, il tempo di transizione corrisponde con il tempo necessario per la sola transizione HL o per la sola transizione LH; siccome poi, dai dati numerici di cui siamo in possesso, vale l'approssimazione secondo la quale:

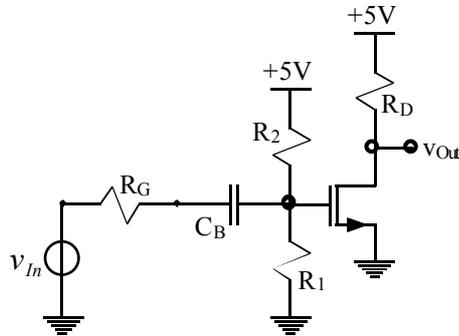
$$v_T = 0,2v_{DD}$$

possiamo ricavare il tempo di transizione sfruttando la semplice formula seguente:

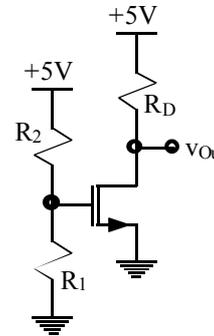
$$T_p = T_{HL} = \frac{1,6C}{K_n \left( \frac{W}{L} \right)_n v_{DD}}$$

**Stadio source a massa.**

Si consideri il circuito mostrato in figura 1 e si valuti la polarizzazione, la massima dinamica di ingresso e uscita, il guadagno a centro banda, il valore della capacità di blocco  $C_B$  che taglia in basso il guadagno a centro banda a 10Hz e la banda passante (supponendo che le capacità parassite siano di 1pF).



**Figura 1**



**Figura 2**

Vengono forniti i seguenti dati numerici:

$$\begin{cases} R_1 = 2M\Omega \\ R_2 = 3M\Omega \\ \mu_n C_{ox} = 20 \frac{\mu A}{V^2} \\ v_T = 1V \\ \frac{W}{L} = 10 \\ R_D = 25k\Omega \end{cases}$$

Si consideri un caso (a) nel quale la resistenza  $R_G$  valga  $50\Omega$  e un caso (b) nel quale la medesima resistenza  $R_G$  valga  $10k\Omega$ .

Per l'analisi in polarizzazione osserviamo che la capacità  $C_B$  deve essere considerata aperta e quindi ci si riduce a valutare il circuito mostrato in figura 2. Dalla topologia del circuito appare allora evidente che:

$$v_G = v_{R_1}$$

Ricaviamo dunque la caduta di tensione sulla resistenza  $R_1$  sfruttando il partitore di tensione e ottenendo:

$$v_{R_1} = (5V) \frac{R_1}{R_1 + R_2} = 2V$$

Avremo dunque, essendo in presenza di uno stadio source a massa:

$$v_{GS} = v_G - v_S = v_G = v_{R_1} = 2V$$

Notiamo innanzitutto che il MOS è acceso in quanto si ha:

$$v_{GS} > v_T$$

Supponiamo dunque di essere in zona di saturazione e andiamo a valutare la corrente imposta dal MOS; per fare questo ricaviamo innanzitutto come segue la costante K:

$$K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} = 0,1 \frac{mA}{V^2}$$

La corrente imposta dal MOS sarà dunque:

$$i_D = K(v_{GS} - v_T)^2 = 0,1mA$$

Ancora dalla topologia del circuito vediamo come sia:

$$v_{Out} = v_{DS} = (5V) - v_{R_D}$$

dove è:

$$v_{R_D} = R_D i_D = 2,5V$$

Si ottiene dunque:

$$v_{Out} = v_{DS} = 2,5V$$

Dobbiamo ora verificare che il MOS sia effettivamente in zona di saturazione; notiamo allora come sia (essendo in presenza di uno stadio source a massa):

$$v_{DS} = v_D$$

e quindi si ricava:

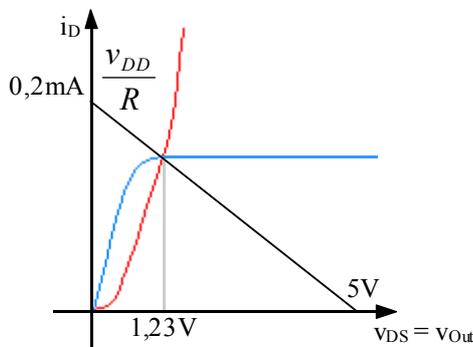
$$v_{GD} = v_G - v_D = -0,5V$$

La saturazione è quindi confermata essendo:

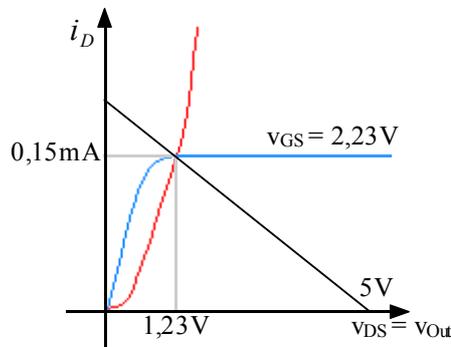
$$v_{GD} < v_T$$

Concentriamoci ora sulla dinamica di ingresso e uscita; facciamo dunque riferimento al grafico di figura 3 e notiamo che esiste un massimo valore di tensione  $v_{GS}$  oltre il quale l'intersezione tra la retta di carico e la caratteristica del MOS avviene in zona triodo; per trovare tale punto non dobbiamo fare altro che intersecare la retta di carico con il luogo dei punti dell'inversione tra la zona triodo e la zona di saturazione. Risolviamo dunque il seguente sistema:

$$\begin{cases} i_D = \frac{(5V) - v_{DS}}{R_D} \\ i_D = K v_{DS}^2 \end{cases}$$



**Figura 3**



**Figura 4**

Risolvendo il sistema si ricava:

$$v_{DS}^{Max} = 1,23V$$

Una volta nota la  $v_{DS}$  possiamo ricavare la  $v_{GS}$  sfruttando la seguente relazione:

$$v_{GS}^{Max} = v_{DS}^{Max} + v_T = 2,23V$$

e quindi è possibile ricavare la corrente di drain associata:

$$i_D^{Max} = K (v_{GS}^{Max} - v_T)^2 = 0,15mA$$

Una volta trovati questi valori (si veda a proposito la figura 4) ricordiamo che in polarizzazione si avevano i seguenti dati:

$$\begin{cases} v_{DS}^{Pol} = 2,5V \\ v_{GS}^{Pol} = 2V \\ i_D^{Pol} = 0,1mA \end{cases}$$

dal raffronto tra i dati della polarizzazione e i dati relativi alla massima tensione di uscita (si veda la figura 5) si ricava che la massima ampiezza dell'oscillazione della tensione di comando del MOS può essere:

$$\Delta v_{GS} = v_{GS}^{Max} - v_{GS}^{Pol} = 0,23V$$

e dunque la tensione di ingresso minima sarà:

$$v_{GS}^{Min} = v_{GS}^{Pol} - (0,23V) = 1,77V$$

A tale tensione di ingresso corrisponde una corrente di drain di:

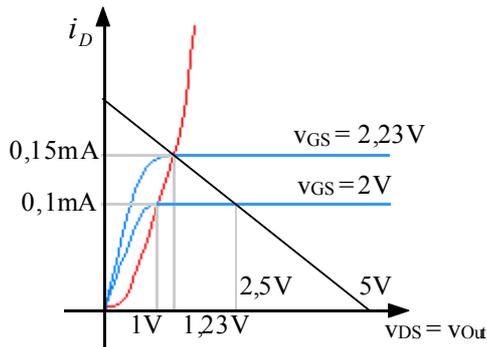
$$i_D^{Min} = K (v_{GS}^{Min} - v_T)^2 = 0,06mA$$

Sfruttando allora l'equazione della retta di carico possiamo ricavare la tensione di uscita minima; si avrà:

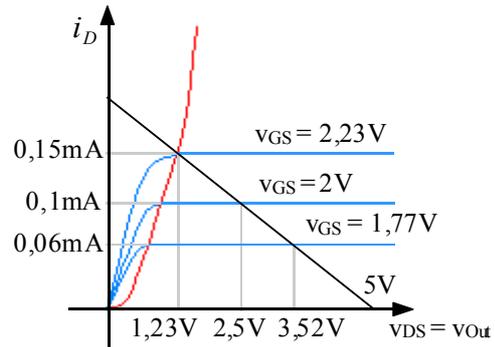
$$i_D^{Min} = \frac{(5V) - v_{DS}^{Min}}{R_D}$$

dalla quale si ricava:

$$v_{DS}^{Min} = 3,52V$$

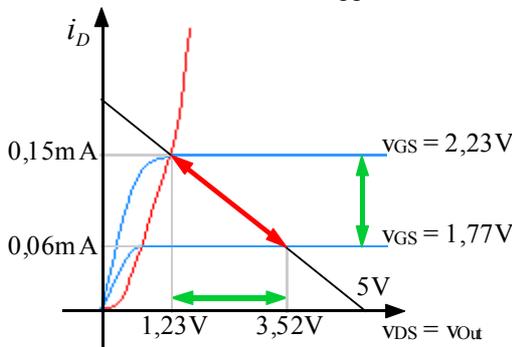


**Figura 5**

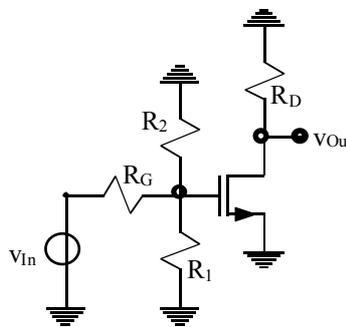


**Figura 6**

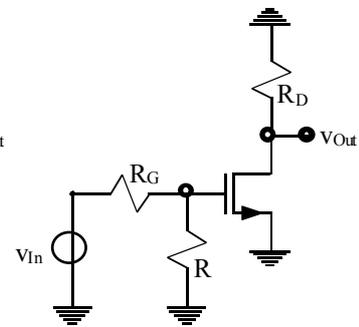
Ora che abbiamo anche i valori minimi (figura 6) possiamo ricostruire la dinamica di ingresso e di uscita del circuito che stiamo analizzando e che è rappresentata in figura 7.



**Figura 7**



**Figura 8**



**Figura 9**

Valutiamo ora il guadagno di piccolo segnale a centro banda; porsi a centro banda significa trascurare la capacità C in ingresso e quindi fare riferimento al circuito mostrato in figura 8. Per semplificare ulteriormente il circuito poniamo in parallelo le resistenze R<sub>1</sub> ed R<sub>2</sub> ottenendo una resistenza definita come:

$$R = \frac{R_1 R_2}{R_1 + R_2} = 1,2M\Omega$$

Il circuito si riduce dunque a quello di figura 9 dalla cui topologia appare evidente come sia:

$$v_{GS} = v_R = v_{In} \frac{R}{R_G + R}$$

Siccome siamo ora in presenza di uno stadio source a massa sappiamo che per arrivare dall'ingresso del MOS all'uscita si avrà:

$$v_{Out} = -g_m R_D v_{GS}$$

Si ottiene dunque, complessivamente:

$$v_{Out} = -g_m R_D \frac{R}{R_G + R} v_{In}$$

Essendo poi:

$$g_m = \frac{2i_D^{Pol}}{v_{GS}^{Pol} - v_T} = 0,2 \frac{mA}{V}$$

si ricava (per entrambi i valori di R<sub>G</sub> scelti):

$$A_v = \frac{v_{Out}}{v_{In}} = -g_m R_D \frac{R}{R_G + R} \cong -5$$

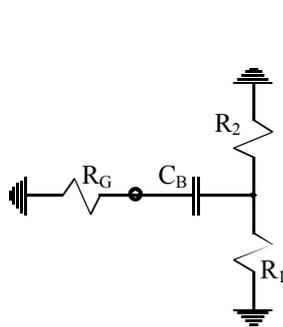
Siccome il guadagno complessivo è negativo si parla di stadio invertente.

Il guadagno a centro banda viene tagliato a bassa frequenza dal polo introdotto dalla capacità di blocco; facendo riferimento al circuito di figura 10 vediamo che la costante di tempo associata alla capacità C<sub>B</sub> è:

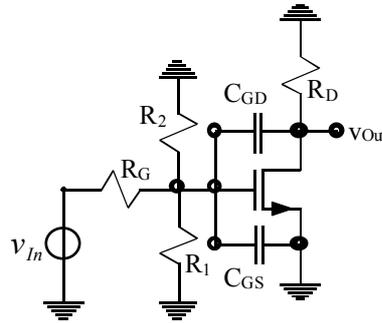
$$\tau_B = C_B [R_G + (R_1 // R_2)] = C_B (R_G + R)$$

Perché tale costante di tempo origini un polo a 10Hz è necessario che sia:

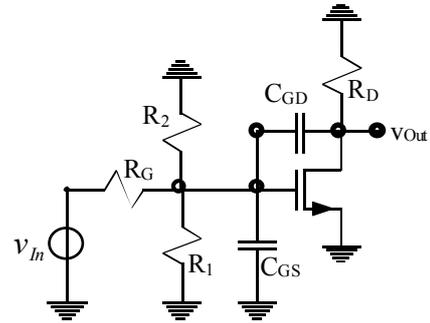
$$f = \frac{1}{2\pi\tau_B} = \frac{1}{2\pi C_B (R_G + R)} = 10\text{Hz}$$



**Figura 10**



**Figura 11**

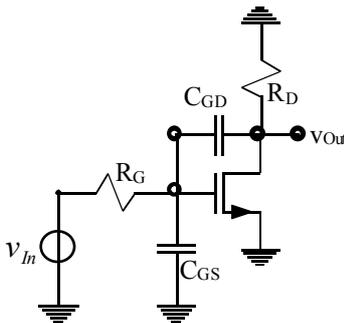


**Figura 12**

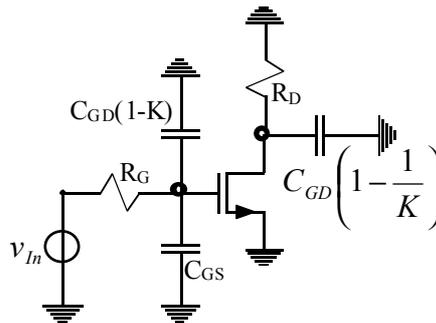
Ricaviamo dunque, per entrambi i valori di  $R_G$  scelti:

$$C_B \cong 13\text{nF}$$

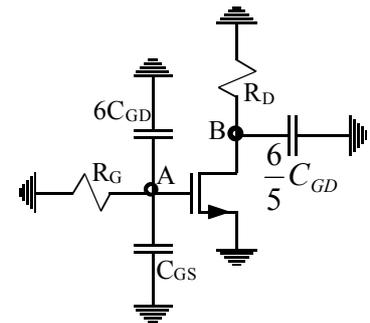
Valutiamo, infine, la banda passante e quindi introduciamo le due capacità parassite e chiudiamo la capacità di blocco che ha effetto solamente a bassa frequenza; ci troviamo dunque a dover gestire il circuito di figura 11. Siccome la capacità parassita è praticamente collegata a terra possiamo fare riferimento al circuito di figura 12. Osserviamo ora che le resistenze  $R_1$  ed  $R_2$  sono molto grosse rispetto alla resistenza  $R_G$  (in entrambi i casi) e quindi, al fine del calcolo del primo polo imposto dalla capacità parassite, possiamo anche trascurarle concentrandoci sul circuito di figura 13.



**Figura 13**



**Figura 14**



**Figura 15**

Splittiamo ora la capacità parassita  $C_{GD}$  in due capacità sfruttando il teorema di Miller (siamo in questo caso costretti ad utilizzare il teorema di Miller in maniera esatta perché approssimandolo come mostrato nella lezione numero 22 si arriva a commettere un errore del 20%); otteniamo dunque il circuito mostrato in figura 14. Nel caso in analisi il  $K$  è il guadagno di un source a massa, ovvero:

$$K = -g_m R_D = -5$$

Facendo riferimento alla figura 15 possiamo ora valutare le due costanti di tempo relative alla capacità che afferiscono ai nodi A e B e che sono:

$$\begin{cases} \tau_A = (6C_{GD} + C_{GS})R_G \\ \tau_B = \frac{6}{5}C_{GD}R_D = 30\text{ns} \end{cases}$$

La costante di tempo relativa alle capacità parassite che afferiscono al nodo A varia a seconda della resistenza  $R_G$  utilizzata e si avrà dunque:

$$\begin{cases} (a) \Rightarrow \tau_A = 350\text{ps} \\ (b) \Rightarrow \tau_B = 70\text{ns} \end{cases}$$

Il primo polo imposto dalle capacità parassite sarà alla seguente frequenza:

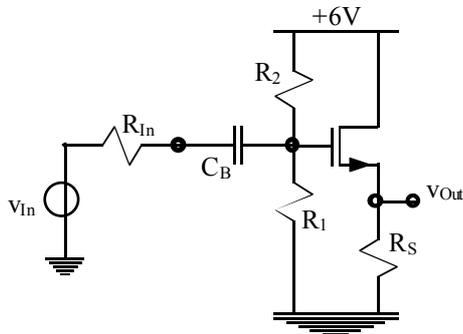
$$f = \frac{1}{2\pi(\tau_A + \tau_B)}$$

che, a seconda dei due casi da esaminare, sarà:

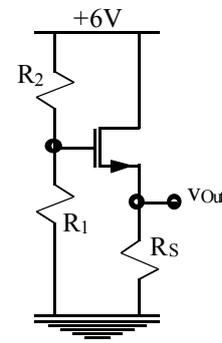
$$\begin{cases} (a) \Rightarrow f \cong 5,2MHz \\ (b) \Rightarrow f \cong 1,6MHz \end{cases}$$

**Stadio source follower. Stadio a doppio carico.**

Si consideri il circuito mostrato in figura 1 e si valuti la polarizzazione; introduciamo poi la resistenze di uscita del MOS e valutiamo l'andamento in frequenza del guadagno di piccolo segnale.



**Figura 1**



**Figura 2**

Sono forniti i seguenti dati numerici:

$$\left\{ \begin{array}{l} R_{In} = 5k\Omega \\ C_B = 1\mu F \\ R_1 = R_2 = 170k\Omega \\ v_T = 1V \\ \mu_n C_{Ox} = 30 \frac{\mu A}{V^2} \\ \frac{W}{L} = 100 \\ C_{gd} = C_{gs} = 1pF \\ R_S = 1k\Omega \\ v_A = 56,7V \end{array} \right.$$

Per valutare la polarizzazione apro la capacità di blocco e quindi mi concentro solo sul circuito mostrato in figura 2. Come prima cosa andiamo a valutare la costante K relativa al MOS del circuito:

$$K = \frac{1}{2} \mu_n C_{Ox} \frac{W}{L} = 1,5 \frac{mA}{V^2}$$

Dalla topologia del circuito ricaviamo poi che:

$$v_G = v_1 = (6V) \frac{R_1}{R_1 + R_2} = 3V$$

Si vede inoltre che è:

$$v_G = v_{GS} + v_S \tag{1}$$

dove sia:

$$v_S = i_D R_S$$

Supponendo di essere in saturazione si ha:

$$v_S = R_S K (v_{GS} - v_T)^2$$

Possiamo dunque riscrivere la relazione (1) nel modo seguente:

$$v_G = v_{GS} + R_S K (v_{GS} - v_T)^2$$

dalla quale si ricava la seguente equazione di secondo grado in  $v_{GS}$ :

$$R_S K v_{GS}^2 + (1 - 2R_S K v_T) v_{GS} + (R_S K v_T^2 - v_G) = 0$$

Inserendo i valori numerici si ottengono due soluzioni delle quali dobbiamo utilizzare solo quella maggiore che è:

$$v_{GS} = 1,869V$$

Possiamo dunque ricavare la corrente imposta dal MOS che sarà, nell'ipotesi di saturazione:

$$i_D = K(v_{GS} - v_T)^2 = 1,133mA$$

La corrente imposta dal MOS è anche quella che attraversa la resistenza  $R_S$  e quindi ricaviamo:

$$v_{Out} = v_S = i_D R_S = 1,133V$$

Dobbiamo ora verificare che il MOS sia effettivamente in zona di saturazione; notiamo dunque che si ha:

$$v_{GD} = v_G - (6V) = -3V$$

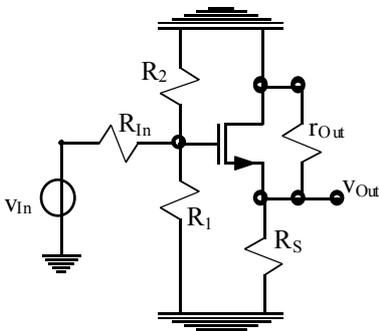
La saturazione del MOS è confermata in quanto si ha effettivamente:

$$v_{GD} < v_T$$

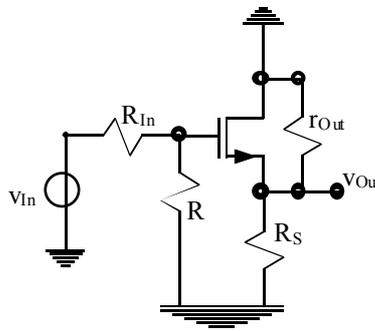
Passiamo ora ad occuparci del guadagno di piccolo segnale; introduciamo dunque la resistenza di uscita del MOS definita come segue:

$$r_{Out} = \frac{v_A}{i_D} = 50,04k\Omega$$

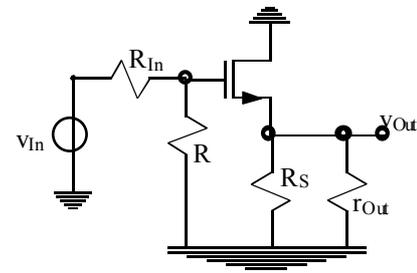
Come prima cosa ci soffermiamo sul guadagno a centro banda e, per fare questo, consideriamo che la capacità di blocco sia un corto circuito. Dobbiamo dunque gestire il circuito mostrato in figura 3.



**Figura 3**



**Figura 4**



**Figura 5**

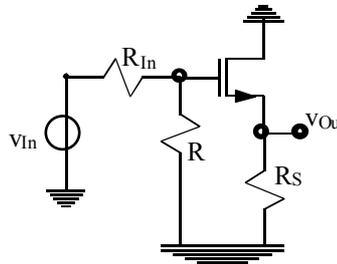
Per comodità di trattazione uniamo le resistenze  $R_1$  ed  $R_2$  in un'unica resistenza  $R$  definita nel modo seguente:

$$R = \frac{R_1 R_2}{R_1 + R_2} = 85k\Omega$$

Utilizziamo dunque il circuito di figura 4. Notiamo poi che la resistenza di uscita del MOS è collegata a terra tramite il drain del MOS stesso e quindi possiamo sfruttare una configurazione assolutamente identica a quella di figura 4 che è quella di figura 5. Potremmo a questo punto unire le resistenze  $R_S$  ed  $r_{Out}$  in un'unica resistenza  $R^*$  definita come segue:

$$R^* = \frac{R_S r_{Out}}{R_S + r_{Out}} = 980\Omega$$

Dai valori numerici vediamo però che la resistenza  $R^*$  coincide quasi completamente con la resistenza  $R_S$ , trascuriamo dunque la resistenza  $r_{Out}$  e ci soffermiamo sul circuito mostrato in figura 6.



**Figura 6**

Dalla topologia del circuito vediamo a questo punto come la tensione di ingresso si trasmetta sul gate del MOS tramite un partitore e si ha dunque:

$$v_g = \frac{R}{R + R_{In}} v_{In}$$

dal gate del MOS all'uscita ci troviamo di fronte ad uno stadio di source follower e dunque si avrà:

$$v_{Out} = \frac{g_m R_S}{1 + g_m R_S} v_g$$

dove sia:

$$g_m = \frac{2i_D}{v_{GS} - v_T} = 2,608 \frac{mA}{V}$$

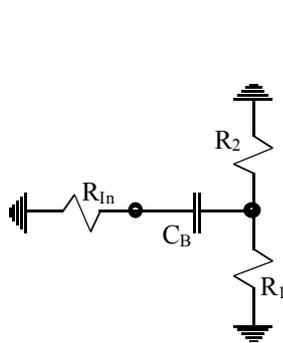
Complessivamente il legame tra l'ingresso e l'uscita sarà il seguente:

$$v_{Out} = \frac{g_m R_S}{1 + g_m R_S} \cdot \frac{R}{R + R_{In}} v_{In}$$

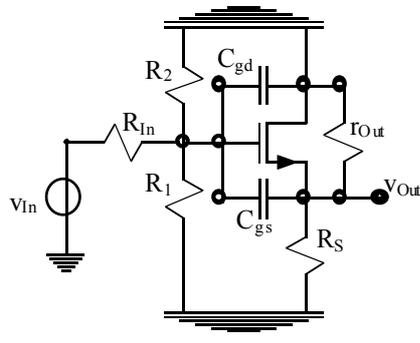
Il guadagno di piccolo segnale a centro banda è dunque il seguente:

$$A_V = \frac{v_{Out}}{v_{In}} = \frac{g_m R_S}{1 + g_m R_S} \cdot \frac{R}{R + R_{In}} = 0,683$$

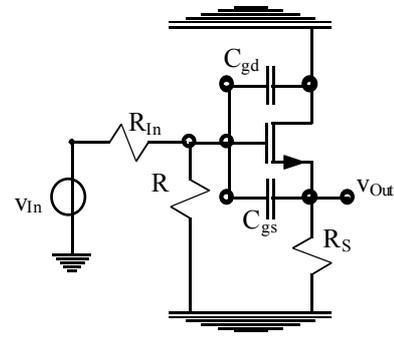
A bassa frequenza viene introdotto un polo a causa della presenza della capacità di blocco che ha una costante di tempo che possiamo rilevare dal circuito di figura 7.



**Figura 7**



**Figura 8**



**Figura 9**

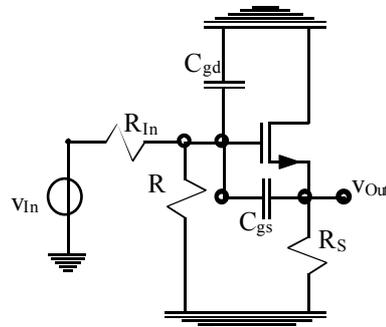
Si avrà dunque:

$$\tau_B = C_B \left( R_{In} + \frac{R_1 R_2}{R_1 + R_2} \right) = 90ms$$

e dunque la frequenza del polo indotta dalla capacità di blocco è:

$$f_B = \frac{1}{2\pi\tau_B} = 1,77Hz$$

Dobbiamo ora occuparci di quello che avviene ad alta frequenza e quindi chiudiamo nuovamente a corto circuito la capacità di blocco e introduciamo le capacità parassite  $C_{gd}$  e  $C_{gs}$  e concentriamoci sul circuito di figura 8. Introducendo poi le medesime semplificazioni relative alle varie resistenze prima viste ci si può ridurre alla situazione mostrata in figura 9. Sfruttiamo ora il fatto che la capacità parassita  $C_{gd}$  è a terra grazie al drain del MOS e otteniamo il circuito di figura 10



**Figura 10**

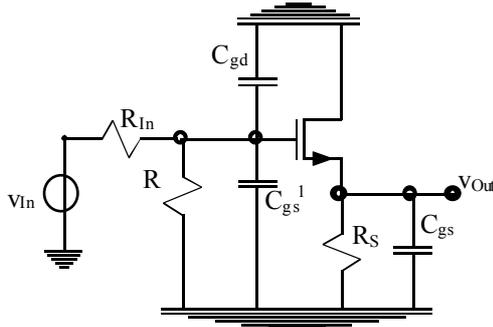
Sfruttiamo ora il teorema di Miller per splittare la capacità parassita  $C_{gs}$  nelle due capacità:

$$\begin{cases} C_{gs}^1 = C_{gs} (1 - K) \\ C_{gs}^2 = C_{gs} \left(1 - \frac{1}{K}\right) \end{cases}$$

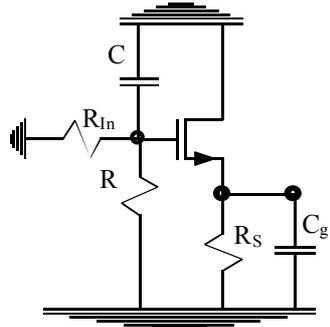
Nel caso in analisi il K non è altro che il guadagno in tensione di uno stadio source follower e dunque sarà:

$$K = \frac{g_m R_S}{1 + g_m R_S} = 0,723$$

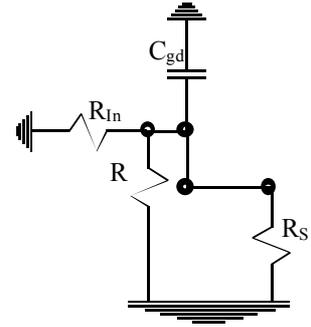
Con un K di questo tipo si ottiene una  $C_{gs}^2$  negativa e quindi usiamo il teorema di Miller modificato che prevede di utilizzare, invece della capacità  $C_{gs}^2$ , la medesima capacità  $C_{gs}$ . Abbiamo dunque a che fare con il circuito di figura 11.



**Figura 11**



**Figura 12**



**Figura 13**

La capacità  $C_{gd}$  e la capacità  $C_{gs}^1$  si trovano in parallelo e quindi le sostituiamo con un'unica capacità C definita come:

$$C = C_{gd} + C_{gs}^1 = 1,277 \text{ pF}$$

Abbiamo dunque il circuito di figura 12 grazie al quale possiamo ricavare le seguenti due costanti di tempo:

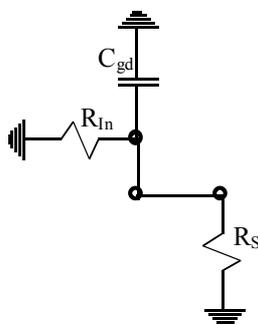
$$\begin{cases} \tau_C^0 = C(R_{in} // R) = 6,03 \text{ ns} \\ \tau_{gs}^0 = C_{gs} \left( R_S // \frac{1}{g_m} \right) = 0,277 \text{ ns} \end{cases}$$

La frequenza del primo polo imposto dalle capacità parassite sarà dunque la seguente:

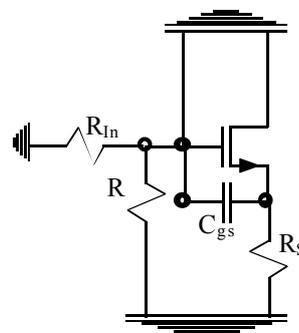
$$f_1 = \frac{1}{2\pi(\tau_C^0 + \tau_{gs}^0)} = 25,5 \text{ MHz}$$

Per trovare il polo ad altissima frequenza imposto dalle capacità parassite torniamo ad utilizzare il circuito di figura 10; la costante di tempo  $\tau^\infty$  relativa alla capacità  $C_{gd}$  si ottiene sfruttando il circuito di figura 13 nel quale il corto circuito che collega il gate e il source del MOS spegne il transistor. Siccome nel parallelo tra le resistenze  $R_{in}$  ed R quest'ultima è poco significativa ci si può ridurre al circuito di figura 14 e quindi si avrà:

$$\tau_{gd}^\infty = C_{gd} (R_{in} // R_S) = 0,825 \text{ ns}$$



**Figura 14**



**Figura 15**

La costante di tempo  $\tau^\infty$  relativa alla capacità  $C_{gs}$  si ottiene sfruttando il circuito di figura 15 nel quale il corto circuito lasciato dalla capacità  $C_{gd}$  mette fuori gioco sia la resistenza R che la resistenza  $R_{in}$ , si ottiene così:

$$\tau_{gs}^{\infty} = C_{gs} \left( R_S // \frac{1}{g_m} \right) = 0,27ns$$

La frequenza del secondo polo imposto dalle capacità parassite sarà dunque la seguente:

$$f_2 = \frac{1}{2\pi\tau_2} = \frac{1}{2\pi} \left( \frac{1}{\tau_{gd}^{\infty}} + \frac{1}{\tau_{gs}^{\infty}} \right) = 782MHz$$

Valutiamo ora lo zero imposto dalle capacità parassite; notiamo, dalla figura 10, che la capacità  $C_{gd}$  non può portare nessuno zero mentre la capacità  $C_{gs}$  porta uno zero nel momento in cui riesce ad assorbire tutta la corrente imposta dal MOS (in questo modo la corrente non entra nella resistenza  $R_S$  e non c'è tensione in uscita). Imponiamo dunque che sia:

$$i_D = i_{gs}$$

Sappiamo ovviamente che è:

$$i_D = g_m v_{gs}$$

ma la tensione  $v_{gs}$  è anche la tensione che cade sull'impedenza formata dalla capacità  $C_{gs}$  e quindi si ha:

$$i_{gs} = sC_{gs} v_{gs}$$

Abbiamo dunque:

$$g_m v_{gs} = sC_{gs} v_{gs}$$

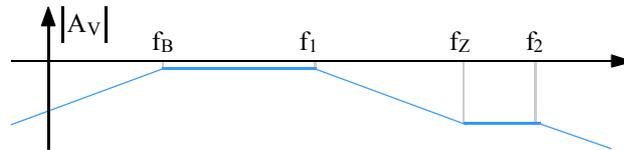
dalla quale si ricava:

$$s = \frac{g_m}{C_{gs}} = 2,6 \frac{Grad}{s}$$

alla quale corrisponde una frequenza:

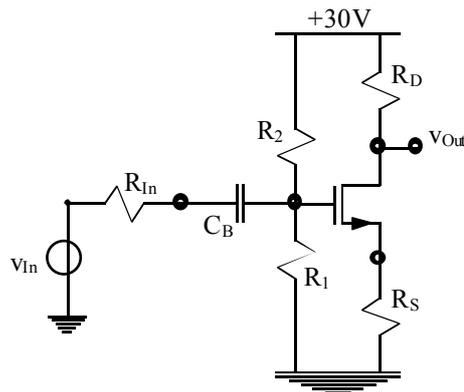
$$f_z = 415MHz$$

L'andamento del guadagno di piccolo segnale è dunque rappresentabile con un grafico come quello di figura 16.



**Figura 16**

Si consideri il circuito di figura 17 e se ne studi la polarizzazione; si valuti il guadagno di piccolo segnale a centro banda e si stabilisca quale sia la banda passante.

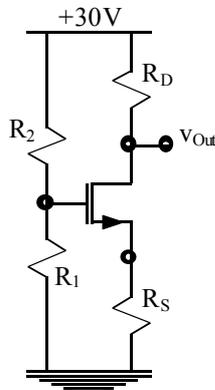


**Figura 17**

Sono forniti anche i seguenti dati numerici:

$$\left\{ \begin{array}{l} R_{In} = 5k\Omega \\ C_B = 1\mu F \\ R_1 = 0,1M\Omega \\ R_2 = 0,9M\Omega \\ v_T = 1V \\ \mu_n C_{ox} = 20 \frac{\mu A}{V^2} \\ \frac{W}{L} = 100 \\ C_{gd} = C_{gs} = 1pF \\ R_S = 1k\Omega \\ R_D = 14k\Omega \end{array} \right.$$

Per valutare la polarizzazione apro la capacità di blocco e mi concentro solo sul circuito di figura 18



**Figura 18**

Come prima cosa andiamo a valutare la costante K relativa al MOS del circuito:

$$K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} = 1 \frac{mA}{V^2}$$

Dalla topologia del circuito ricaviamo poi che:

$$v_G = v_1 = (30V) \frac{R_1}{R_1 + R_2} = 3V$$

Si vede inoltre che è:

$$v_G = v_{GS} + v_S$$

dove sia:

$$v_S = i_D R_S$$

e quindi:

$$v_G = v_{GS} + i_D R_S$$

Da quest'ultima relazione si ricava:

$$i_D = \frac{v_G - v_{GS}}{R_S}$$

Sfruttiamo un metodo iterativo e imponiamo, per iniziare, che la tensione  $v_{GS}$  corrisponda alla tensione di soglia, ovvero al minimo valore necessario per avere il MOS funzionante; si avrà dunque:

$$i_D = 2mA$$

La corrente di drain trovata serve ora per ricavare la tensione  $v_{GS}$  con la quale daremo il via all'iterazione successiva: sfruttiamo dunque la relazione seguente:

$$v_{GS} = v_T + \sqrt{\frac{i_D}{K}} = 2,414V$$

Operiamo dunque alcune iterazioni fino a quando non troviamo un valore abbastanza stabile:

Iterazione	$v_{GS}$ [V]	$i_D$ [mA]	→	$v_{GS}$ [V]	
1	1	2			2,414
2	2,414	0,586			1,765
3	1,765	1,235			2,111
4	2,111	0,889			1,943
5	1,943	1,057			2,028
6	2,028	0,972			1,986
7	1,986	1,014			2,007
8	2,007	0,993			1,996
9	1,996	1,004			2,001
10	2,001	0,999			1,999
11	1,999	1,001			2,000
12	2	1		2	

Dopo 12 iterazioni possiamo affermare che la soluzione sia:

$$\begin{cases} v_{GS} = 2V \\ i_D = 1mA \end{cases}$$

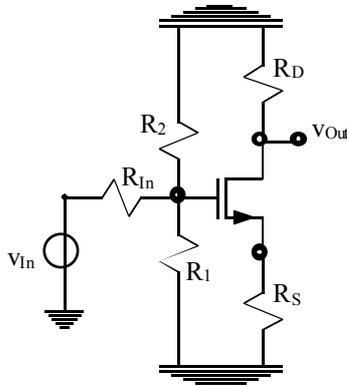
La corrente di drain del MOS è anche quella che attraversa la resistenza  $R_D$  provocando la caduta di tensione:

$$v_D = R_D i_D = 14V$$

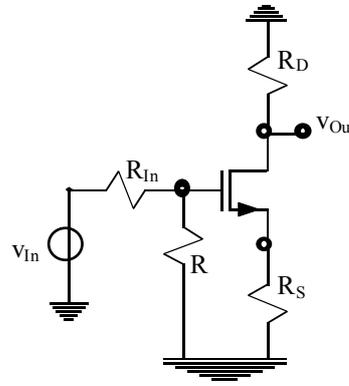
e dunque l'uscita sarà:

$$v_{Out} = (30V) - v_D = 16V$$

Passiamo ora a valutare il guadagno di piccolo segnale a centro banda e quindi chiudiamo in corto circuito la capacità di blocco ottenendo il circuito di figura 19



**Figura 19**



**Figura 20**

Sostituiamo ora le resistenze  $R_1$  ed  $R_2$  con la resistenza  $R$  definita come:

$$R = \frac{R_1 R_2}{R_1 + R_2} = 90k\Omega$$

e sfruttiamo il circuito di figura 20. La tensione sul gate del MOS si ricava semplicemente tramite il seguente partitore:

$$v_g = \frac{R}{R + R_{in}} v_{In}$$

Dal gate del MOS fino all'uscita siamo in presenza di uno stadio a doppio carico e quindi il guadagno in tensione sarà:

$$v_{Out} = -\frac{g_m R_D}{1 + R_S g_m} v_g$$

dove sia:

$$g_m = \frac{2i_D}{v_{GS} - v_T} = 2 \frac{mA}{V}$$

Complessivamente, dunque, l'ingresso si trasmette in uscita nel modo seguente:

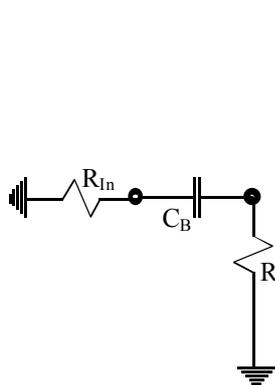
$$v_{Out} = -\frac{g_m R_D}{1 + R_S g_m} \cdot \frac{R}{R + R_{In}} v_{In}$$

e quindi il guadagno di piccolo segnale sarà:

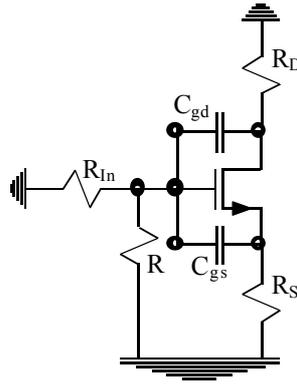
$$A_V = \frac{v_{Out}}{v_{In}} = -\frac{g_m R_D}{1 + R_S g_m} \cdot \frac{R}{R + R_{In}} = -8,8$$

Per valutare la banda passante iniziamo con il valutare il limite inferiore della banda che è individuato dal polo a bassa frequenza indotto dalla capacità di blocco; facendo riferimento al circuito di figura 21 si ricava che la costante di tempo associata alla capacità  $C_B$  è:

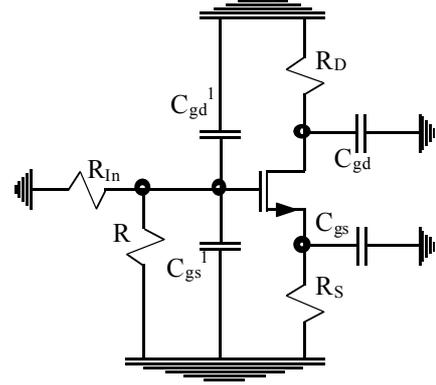
$$\tau_B = C_B (R + R_{In}) = 95ms$$



**Figura 21**



**Figura 22**



**Figura 23**

Il limite inferiore della banda è dunque caratterizzato dalla seguente frequenza:

$$f_{Inf} = \frac{1}{2\pi\tau_B} = 1,67Hz$$

Il limite superiore della banda è invece individuato dal primo polo introdotto dalle capacità parassite  $C_{gs}$  e  $C_{gd}$  e quindi dobbiamo sfruttare il circuito di figura 22. Splittiamo tramite il teorema di Miller semplificato entrambe le capacità parassite in due, ottenendo il circuito di figura 23, nel quale sia:

$$\begin{cases} C_{gd}^1 = C_{gd} (1 - K_1) \\ C_{gs}^1 = C_{gs} (1 - K_2) \end{cases}$$

Nel caso in questione  $K_1$  è il guadagno di uno stadio a doppio carico mentre  $K_2$  è il guadagno di uno stadio source follower, ovvero:

$$\begin{cases} K_1 = -\frac{g_m R_D}{1 + g_m R_S} = -9,3 \\ K_2 = \frac{g_m R_S}{1 + g_m R_S} = 0,67 \end{cases}$$

Dunque le due capacità splittate diventano:

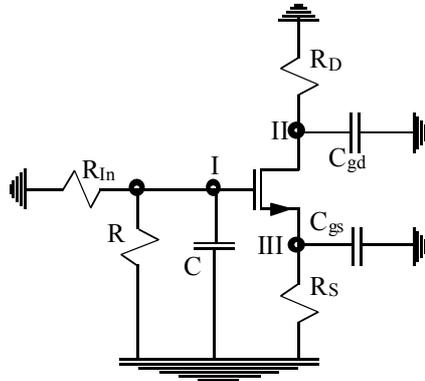
$$\begin{cases} C_{gd}^1 = 10,6pF \\ C_{gs}^1 = 0,33pF \end{cases}$$

Notiamo inoltre che le capacità  $C_{gs}^1$  e  $C_{gd}^1$  agiscono sullo stesso nodo e quindi possono essere riunite in un'unica capacità  $C$  definita come:

$$C = C_{gs}^1 + C_{gd}^1 = 11pF$$

Sfruttiamo dunque il circuito di figura 24 e ricaviamo le tre seguenti costanti di tempo:

$$\begin{cases} \tau_I = C(R_{In} // R) = 52,1ns \\ \tau_{II} = C_{gd} R_D = 14ns \\ \tau_{III} = C_{gs} \left( R_S // \frac{1}{g_m} \right) = 0,33ns \end{cases}$$



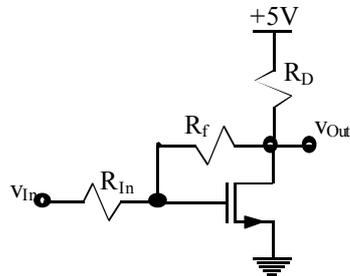
**Figura 24**

La frequenza del limite superiore della banda sarà dunque:

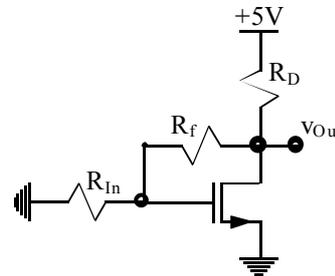
$$f_{Sup} = \frac{1}{2\pi(\tau_I + \tau_{II} + \tau_{III})} = 2,4MHz$$

**Stadi MOS.**

Si consideri il circuito mostrato in figura 1 e si valuti, con un metodo reiterativo che ammetta un errore non superiore al 5%, la polarizzazione; si sfrutti poi la teoria della reazione per ricavare il guadagno di tensione e si studi la risposta in frequenza quando si inserisce una capacità da 1 nF sul nodo di uscita.



**Figura 1**



**Figura 2**

Sono forniti i seguenti dati numerici:

$$\begin{cases} R_{In} = 30k\Omega \\ \mu_n C_{Ox} = 50 \frac{\mu A}{V^2} \\ \frac{W}{L} = 40 \\ v_T = 1V \\ R_f = 20k\Omega \\ R_D = 7k\Omega \end{cases}$$

Come prima cosa, per studiare la polarizzazione, si spegne il segnale e quindi si fa riferimento al circuito di figura 2; sfruttiamo poi i dati forniti per ricavare la costante K relativa al MOS:

$$K = \frac{1}{2} \mu_n C_{Ox} \frac{W}{L} = 1 \frac{mA}{V^2}$$

Per valutare la polarizzazione con il metodo reiterativo parto assegnando alla tensione di comando  $v_{GS}$  il minimo valore che permette al MOS di funzionare, ovvero parto supponendo che la  $v_{GS}$  coincida con la tensione di trashold  $v_T$ :

$$v_{GS} = 1V$$

Sfruttiamo ora la topologia del circuito per osservare come sia:

$$v_{GS} = v_{R_{In}}$$

Possiamo dunque ricavare la corrente che attraversa la resistenza  $R_{In}$ , che è poi quella che attraversa la resistenza  $R_f$  e che è:

$$i_{R_{In}} = i_{R_f} = \frac{v_{R_{In}}}{R_{In}} = 0,033mA$$

e quindi la caduta di tensione sulla resistenza  $R_f$  sarà:

$$v_{R_f} = R_f i_{R_f} = 0,6V$$

Sfruttando ancora la topologia del circuito otteniamo:

$$v_{Out} = v_{R_{In}} + v_{R_f} = 1,6V$$

d'altra parte è anche evidente che:

$$v_{Out} = (5V) - v_{R_D}$$

Combinando le ultime due relazioni scritte si ricava:

$$v_{R_D} = (5V) - v_{Out} = 3,3V$$

e dunque la corrente che attraversa la resistenza  $R_D$  sarà:

$$i_{R_D} = \frac{v_{R_D}}{R_D} = 0,476mA$$

Sfruttando ora la legge di Kirchhoff al drain del MOS si ricava:

$$i_D = i_{R_f} - i_{R_D} = 0,433mA$$

A questo punto, per ricavare la tensione di comando con la quale dare il via ad una nuova iterazione, si sfrutta la relazione:

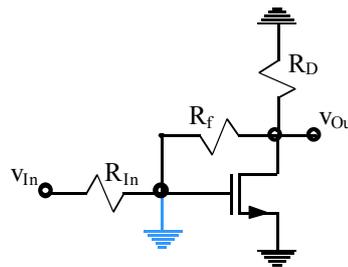
$$v_{GS} = v_T + \sqrt{\frac{i_D}{K}} = 1,666V$$

Proseguiamo dunque con diverse iterazioni:

Iterazione	$v_{GS}$ [V]	$i_D$ [mA]	$v_{Out}$ [V]	$i_{RD}$ [mA]	→	$v_{GS}$ [mA]
1	1	0,443	1,6	0,476		1,666
2	1,666	0,262	2,77	0,318		1,512
3	1,512	0,303	2,520	0,354		1,551
4	1,551	0,293	2,585	0,345		1,587

Notiamo che il raffronto tra i dati della terza e della quarta iterazione porta ad una differenza del 10% e quindi l'ampiezza delle oscillazioni attorno al valore reale è effettivamente del 5%: abbiamo dunque trovato il risultato richiesto.

Valutiamo ora il guadagno di tensione di questo circuito con la teoria della retroazione; come prima cosa dobbiamo dunque andare a valutare il guadagno ideale e quindi dobbiamo cercare quale sia il segnale di errore per poi metterlo a zero; in questo caso l'anello di reazione è facilmente identificabile e abbiamo dunque che il segnale di errore è la tensione  $v_{GS}$ . Annullare la tensione  $v_{GS}$  significa imporre che anche sul gate del MOS ci sia tensione nulla come sul source; facciamo dunque riferimento al circuito di figura 3.



**Figura 3**

A questo punto notiamo come sia:

$$v_{In} = v_{R_{In}}$$

e quindi la corrente che attraversa la resistenza di ingresso sarà:

$$i_{R_{In}} = \frac{v_{R_{In}}}{R_{In}} = \frac{v_{In}}{R_{In}}$$

Tutta tale corrente non potrà fare altro che scorrere anche nel resistore  $R_f$  (in quanto la terra indicata sul circuito è puramente virtuale e quindi la corrente non ci può scorrere) e quindi:

$$i_{R_{In}} = i_{R_f}$$

dalla topologia del circuito, con la terra virtuale, vediamo inoltre come sia:

$$v_{Out} = -v_{R_f}$$

ma anche:

$$v_{R_f} = R_f i_{R_f} = \frac{R_f}{R_{In}} v_{In}$$

Combinando le ultime due relazioni scritte si ricava:

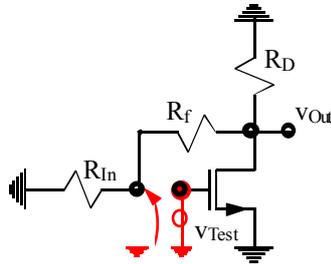
$$v_{Out} = -\frac{R_f}{R_{In}} v_{In}$$

Dunque il guadagno ideale sarà:

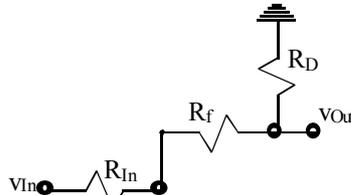
$$G_{Id} = \frac{v_{Out}}{v_{In}} = -\frac{R_f}{R_{In}} = -0,6$$

Per quanto riguarda il calcolo del guadagno d'anello sfruttiamo il circuito di figura 4 nel quale è stato introdotto un generatore di tensione di test sul gate del MOS (in quanto in quella posizione già si vedeva un'impedenza infinita e quindi non è poi necessario ricostruire niente). Notiamo allora che la tensione di test inserita coincide anche con la tensione di comando del MOS e quindi si avrà:

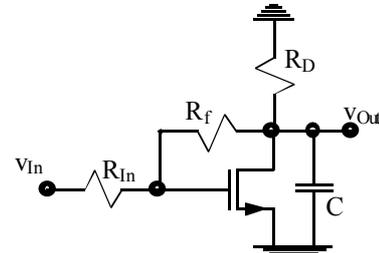
$$v_{GS} = v_{Test}$$



**Figura 4**



**Figura 5**



**Figura 6**

La corrente imposta dal MOS sarà dunque:

$$i_D = g_m v_{GS} = g_m v_{Test}$$

dove sia (ricordando i dati relativi alla polarizzazione):

$$g_m = \frac{2i_D}{v_{GS} - v_T} = 1,1 \frac{mA}{V}$$

La corrente imposta dal MOS si può suddividere tra la resistenza  $R_D$  e la serie delle resistenze  $R_f$  ed  $R_{In}$ ; a noi interessa proprio quest'ultima porzione che si esprime nel modo seguente:

$$i_f = \frac{R_D}{R_D + R_{In} + R_f} i_D = \frac{g_m R_D}{R_D + R_{In} + R_f} v_{Test}$$

Ovviamente tale corrente sarà quella che scorre attraverso la resistenza di ingresso:

$$i_f = i_{In}$$

Valutiamo ora la caduta di tensione imposta da tale corrente sulla resistenza di ingresso, che sarà:

$$v_{R_{In}} = R_{In} i_{R_{In}} = \frac{g_m R_{In} R_D}{R_D + R_{In} + R_f} v_{Test}$$

Notiamo poi come sia:

$$v_{Out}^{Test} = -v_{R_{In}} = -\frac{g_m R_{In} R_D}{R_D + R_{In} + R_f} v_{Test}$$

Dunque il guadagno d'anello sarà:

$$G_{Loop} = \frac{v_{Out}^{Test}}{v_{Test}} = -\frac{g_m R_{In} R_D}{R_D + R_{In} + R_f} = -4,05$$

Calcoliamo infine il guadagno diretto spegnendo il generatore pilotato (ovvero nel nostro caso il MOS) e quindi facciamo riferimento al circuito di figura 5). Notiamo che siamo in presenza di un normale partitore resistivo per il quale si può scrivere:

$$v_{Out} = \frac{R_D}{R_{In} + R_f + R_D} v_{In}$$

dalla quale si ricava:

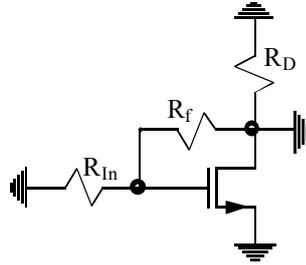
$$G_{Dir} = \frac{v_{Out}}{v_{In}} = \frac{R_D}{R_{In} + R_f + R_D} = 0,123$$

Possiamo a questo punto ricavare il guadagno reale del circuito che sarà:

$$G_R = G_{Id} \frac{|G_{Loop}|}{1 + |G_{Loop}|} + G_{Dir} \frac{1}{1 + |G_{Loop}|} = -0,510$$

Valutiamo infine il comportamento in frequenza del circuito una volta che viene introdotto sul nodo di uscita un capacitore da 1nF; facciamo dunque riferimento alla figura 6. La capacità introdotta implicherà la presenza di un polo.

Per valutare la costante di tempo relativa alla capacità c dobbiamo valutare l'impedenza di uscita del circuito di figura 1 e vogliamo usare anche per questo conto la teoria della reazione. Come prima cosa dobbiamo stabilire che cosa viene stabilizzato dal circuito. Imponendo sull'uscita un generatore di corrente tensione e poi spegnendolo, si ottiene il circuito di figura 7 dal quale appare evidente che si avrà guadagno d'anello nullo.



**Figura 7**

Notiamo infatti che un generatore di tensione di test posto, come prima, sul gate del MOS, imporrebbe al MOS una tensione di comando che genererebbe una corrente che si scaricherebbe tutta a terra e quindi, appunto, non ci sarebbe guadagno d'anello. Imponendo invece un generatore di corrente e poi aprendolo si torna ad avere il circuito di figura 4 e quindi si ritroverebbe lo stesso guadagno d'anello visto in precedenza. Possiamo dunque affermare che il circuito è stabilizzato in tensione. Valutiamo ora la resistenza di uscita ad anello aperto; per fare questo dobbiamo spegnere il MOS ritornando alla situazione mostrata in figura 5 e quindi si avrà:

$$R_{Out}^{OL} = \frac{R_D (R_f + R_{In})}{R_D + R_f + R_{In}} = 6k\Omega$$

La resistenza di uscita sarà dunque:

$$R_{Out} = \frac{R_{Out}^{OL}}{1 + |G_{Loop}|} = 1,21k\Omega$$

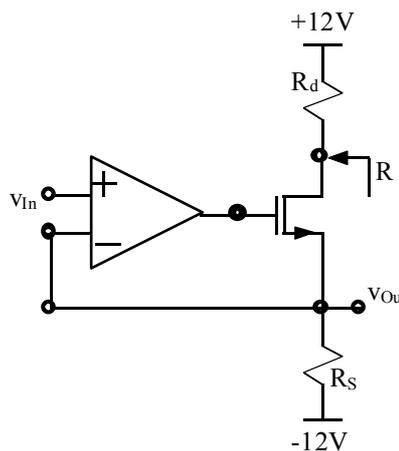
La costante di tempo associata alla capacità introdotta è dunque la seguente:

$$\tau = CR_{Out} = 1,21\mu s$$

e quindi la frequenza del polo introdotto sarà:

$$f = \frac{1}{2\pi\tau} = 131kHz$$

Si consideri l'amplificatore di figura 8.



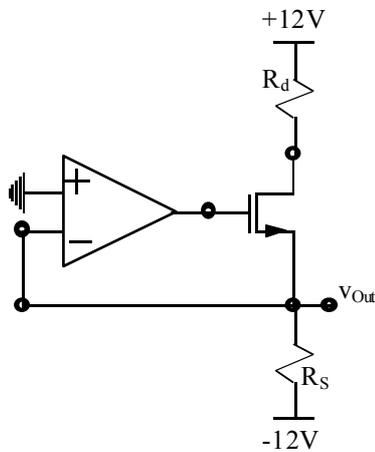
**Figura 8**

Si calcolino tutte le correnti e tensioni di polarizzazione del circuito; si determini il guadagno a bassa frequenza  $v_{Out}/v_{In}$  nel caso di operazionale ideale e nel caso in cui si utilizzi un operazionale con  $A_0$  pari a  $10^4$ ; si ricavi l'impedenza di uscita a bassa frequenza utilizzando la teoria della reazione e, infine, si assuma che il transistor abbia una tensione di Early di 50V. calcolare l'impedenza R. Sono forniti i seguenti dati numerici:

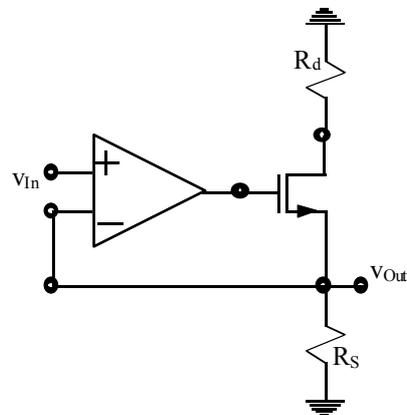
$$\left\{ \begin{array}{l} R_d = 1k\Omega \\ R_S = 10k\Omega \\ \mu C_{ox} = 50 \frac{\mu A}{V^2} \\ \frac{W}{L} = 40 \\ v_T = 1V \end{array} \right.$$

Per valutare la polarizzazione è necessario spegnere il segnale e gestire dunque il circuito mostrato in figura 9; abbiamo così che è nulla la tensione  $v^+$  di ingresso nell'operazionale; sfruttando il contatto virtuale anche la tensione  $v^-$  sarà nulla e quindi è nulla la tensione  $v_{Out}$ . Se la tensione di uscita è nulla la tensione che cade sulla resistenza  $R_S$  sarà di 12V e quindi possiamo ricavare la corrente che attraversa questa resistenza che è anche la corrente di drain imposta dal MOS:

$$i_D = \frac{(12V)}{R_S} = 1,2mA$$



**Figura 9**



**Figura 10**

Dai dati forniti ricavo ora:

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L} = 1 \frac{mA}{V^2}$$

Supponendo di essere in saturazione, conoscendo la corrente  $i_D$  ricavo la tensione  $v_{GS}$  con la seguente relazione:

$$v_{GS} = v_T + \sqrt{\frac{i_D}{K}} = 2,1V = v_G$$

Conoscendo la corrente imposta dal MOS ricaviamo la caduta di tensione sulla resistenza  $R_d$ :

$$v_{R_d} = R_d i_D = 1,2V$$

Ricaviamo allora la tensione al drain del MOS nel modo seguente:

$$v_D = (12V) - v_{R_d} = 10,8V$$

Otteniamo allora:

$$v_{GD} = v_G - v_D = -8,7V$$

Notiamo così che il MOS è effettivamente in zona di saturazione in quanto si ha:

$$v_{GD} < v_T$$

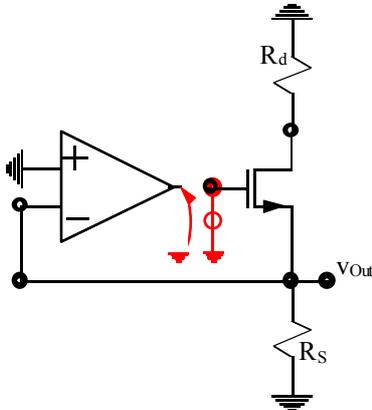
Per l'analisi di piccolo segnale spegniamo la polarizzazione e accendiamo il segnale facendo quindi riferimento al circuito di figura 10. Nel caso in cui l'operazionale sia ideale, sfruttando il contatto virtuale, possiamo osservare come sia:

$$v_{In} = v^+ = v^- = v_{Out}$$

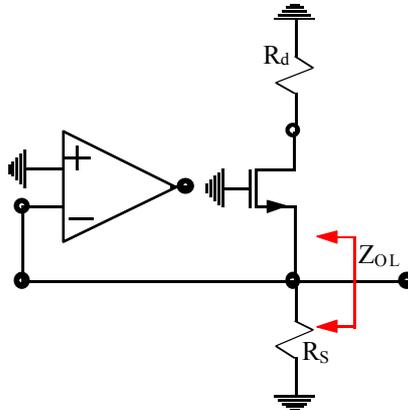
Il guadagno nel caso di operazionale ideale è allora:

$$A_V = \frac{v_{Out}}{v_{In}} = 1$$

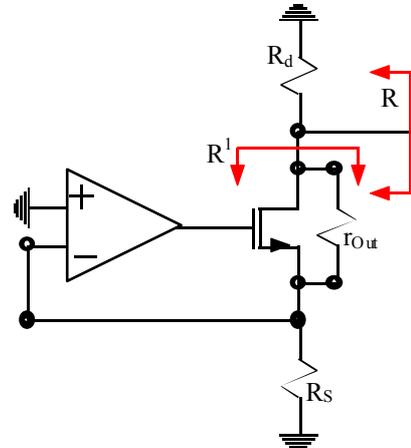
Imponendo ora che l'operazionale sia caratterizzato da un  $A_0$  pari a  $10^4$  cerchiamo il guadagno reale sfruttando la teoria della reazione; il guadagno ideale, lo abbiamo appena visto, è unitario. Per valutare il guadagno d'anello inseriamo una tensione di test come mostrato in figura 11.



**Figura 11**



**Figura 12**



**Figura 13**

Sfruttando lo stadio source follower ci troviamo, data la tensione di test, ad una tensione:

$$v_{Out} = v^- = \frac{g_m R_S}{1 + g_m R_S} v_{Test}$$

dove sia, dati i valori di polarizzazioni trovati nel punto precedente:

$$g_m = \frac{2i_D}{v_{GS} - v_T} = 2,2 \frac{mA}{V}$$

Attraversando ora l'operazionale si ottiene:

$$v_{Out}^{Test} = -A_0 v^- = -A_0 \frac{g_m R_S}{1 + g_m R_S} v_{Test}$$

Il guadagno d'anello è dunque:

$$G_{Loop} = \frac{v_{Out}^{Test}}{v_{Test}} = -A_0 \frac{g_m R_S}{1 + g_m R_S} = -9565$$

Il guadagno nel caso di un operazionale non ideale è dunque:

$$G_R = G_{Id} \frac{T}{1 + T} \approx 1$$

Per valutare l'impedenza di uscita osserviamo, come prima cosa, che il circuito è stabilizzato in tensione perché il  $G_{Loop}$  si annulla solo attaccando un generatore di tensione e poi aprendolo (si ricava infatti  $v_{Out}$  nulla e quindi, per come abbiamo calcolato in precedenza il  $G_{Loop}$ , non può esserci guadagno d'anello). Valutiamo ora l'impedenza di uscita ad anello aperto rompendo, come fatto sul circuito di figura 12, l'anello di reazione; si ricava:

$$Z_{OL} = \frac{R_S}{1 + g_m R_S} = 435\Omega$$

e quindi l'impedenza di uscita complessiva sarà:

$$Z = Z_{OL} \frac{1}{1 - G_{Loop}} = 45m\Omega$$

Per quanto riguarda, infine, la resistenza R, notiamo che, essendo stata assegnata la tensione di Early possiamo ricavare la resistenza di uscita del MOS:

$$r_{Out} = \frac{v_A}{i_D} = 42k\Omega$$

Notiamo dal circuito di figura 13 che possiamo semplificare il discorso valutando la  $R^1$ . Usiamo anche in questo caso la teoria della reazione e notiamo che il circuito è stabilizzato in corrente perché se poniamo, dall'uscita che stiamo

valutando, un generatore di corrente e poi lo apriamo troviamo un guadagno d'anello nullo in quanto imponendo una  $v_{Test}$  sul gate del MOS si forma una corrente che circola solo nell'anello formato dal MOS e dalla sua resistenza di uscita e quindi non ci può essere guadagno d'anello perché non cadrà tensione sulla resistenza  $R_S$ . Usiamo dunque un generatore di tensione, spegnamolo e valutiamo il guadagno d'anello. Imponendo la tensione  $v_{Test}$  sul gate del MOS ci troviamo di fronte ad uno stadio source follower nel quale la resistenza di uscita si trova ora a massa e può dunque essere girata in parallelo con la  $R_S$ . Sull'ingresso invertente dell'operazionale vediamo dunque una tensione:

$$v^- = \frac{g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)}{1 + g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)} v_{Test}$$

Attraversando l'operazionale si avrà poi.

$$v_{Out}^{Test} = -A_0 \frac{g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)}{1 + g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)} v_{Test}$$

Il guadagno d'anello sarà dunque:

$$G_{Loop} = \frac{v_{Out}^{Test}}{v_{Test}} = -A_0 \frac{g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)}{1 + g_m \left( \frac{R_S r_{Out}}{R_S + r_{Out}} \right)} = -9467$$

La resistenza ad anello aperto si calcola aprendo l'anello di reazione composto dall'operazionale (il circuito rimane comunque retroazionato a causa del piccolo anello formato dalla resistenza di uscita come mostrato in figura 14); ci troviamo in una situazione classica nella quale guardiamo dentro il drain di un MOS con la resistenza di uscita ed una resistenza oltre al MOS stesso; si avrà:

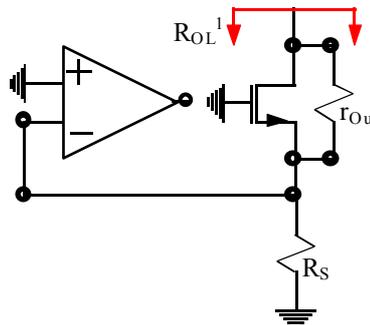
$$R_{OL}^1 = R_S + r_{Out} (1 + g_m R_S) = 976 k\Omega$$

Abbiamo allora:

$$R^1 = R_{OL}^1 (1 - G_{Loop}) = 9,2 G\Omega$$

e quindi:

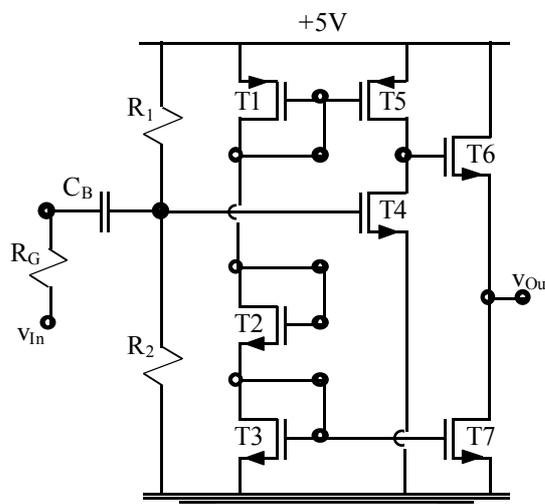
$$R = \frac{R^1 R_d}{R^1 + R_d} = 1 k\Omega$$



**Figura 14**

**Stadi MOS. Dinamica di uscita. Impedenza equivalente di uno specchio di corrente.**

Si consideri il circuito mostrato in figura 1 e se ne studi la polarizzazione; valutare il rapporto tra le resistenze  $R_1$  ed  $R_2$ ; valutare la dinamica dell'uscita, il guadagno a centro banda e la banda passante.



**Figura 1**

Sono forniti i seguenti dati numerici:

$$\left\{ \begin{array}{l} r_{Out|_i} = \frac{30M\Omega}{\left(\frac{W}{L}\right)_i} \\ C_{gd} = C_{gs} = 3,3 \frac{fF}{\mu m^2} WL \\ v_{Tn} = 0,5V \\ v_{Tp} = -0,8V \\ \mu_n C_{Ox} = 30 \frac{\mu A}{V^2} \\ \mu_p C_{Ox} = 10 \frac{\mu A}{V^2} \\ C_B = 0,1\mu F \\ R_G = 1k\Omega \\ \left(\frac{W}{L}\right)_1 = 30/1 \\ \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 = 10/1 \\ \left(\frac{W}{L}\right)_4 = \left(\frac{W}{L}\right)_5 = \left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_7 = 300/1 \end{array} \right.$$

Come prima cosa osserviamo che siamo in presenza di due stadi: un source a massa (il transistor T4) e un source follower (il transistor T6). Prima di studiare la polarizzazione possiamo subito calcolare le resistenze di uscita secondo la formula fornita nel testo. Raggruppiamo tali dati nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
$r_{Out} [M\Omega]$	30	3	3	0,1	0,1	0,1	0,1

Sfruttiamo le formula fornita nel testo per ricavare da subito anche le capacità parassite di tutti i transistor e riassumiamo i dati nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
$C_{gs}$ [pF]	0,1	0,033	0,033	1	1	1	1
$C_{gd}$ [pF]	0,1	0,033	0,033	1	1	1	1

Un'altra serie di dati che è comodo calcolare in anticipo è il parametro K dei vari transistor che, come è noto, si ricava dalla relazione:

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L}$$

Riassumiamo dunque nella tabella seguente i valori numerici del circuito in esame:

	T1	T2	T3	T4	T5	T6	T7
$K$ [mA/V <sup>2</sup> ]	0,15	0,15	0,15	4,5	1,5	4,5	4,5

Studiamo ora la polarizzazione del circuito. Vediamo dunque che il ramo principale è quello composto dai transistor T1, T2 e T3; i collegamenti a diodo relativi a tali tre transistor mi permettono di affermare che:

$$\begin{cases} v_{GS_1} = v_{DS_1} \\ v_{GS_2} = v_{DS_2} \\ v_{GS_3} = v_{DS_3} \end{cases}$$

Se dunque dalla topologia del circuito è possibile ricavare la seguente relazione:

$$-v_{DS_1} + v_{DS_2} + v_{DS_3} = 5V$$

possiamo sfruttare il sistema precedente per ottenere la seguente relazione:

$$-v_{GS_1} + v_{GS_2} + v_{GS_3} = 5V$$

Siccome poi i transistor T2 e T3 sono assolutamente identici, non c'è motivo per cui non debba essere:

$$v_{GS_2} = v_{GS_3}$$

e quindi, combinando le ultime due relazioni scritte, si ricava:

$$2v_{GS_2} - v_{GS_1} = 5V \quad (1)$$

Sfruttiamo ora il fatto che nei transistor t1 e T2 deve scorrere la medesima corrente, ovvero che sia:

$$i_{D_1} = i_{D_2}$$

Supponendo che entrambi i transistor siano in zona di saturazione è possibile riscrivere quest'ultima relazione nel modo seguente:

$$K_1 (v_{GS_1} - v_{Tp})^2 = K_2 (v_{GS_2} - v_{Tn})^2$$

Siccome poi  $K_1$  e  $K_2$  sono anch'essi identici, si può semplificare la relazione precedente fino ad ottenere:

$$v_{GS_1} - v_{Tp} = v_{GS_2} - v_{Tn}$$

Sostituendo i valori numerici dei quali siamo in possesso (e osservando che uno è un N-MOS mentre l'altro è un P-MOS) otteniamo la seguente relazione:

$$v_{GS_2} = -v_{GS_1} - 0,3V \quad (2)$$

Combinando dunque quest'ultima relazione con l'equazione (1) si ottiene:

$$v_{GS_1} = -1,87V$$

Siccome siamo in presenza di uno specchio di corrente, possiamo affermare che:

$$v_{GS_1} = v_{GS_5}$$

Ora che abbiamo trovato la tensione di comando del transistor T1 possiamo utilizzarla nella relazione (2) per ricavare la tensione di comando del transistor T2, che sarà:

$$v_{GS_2} = 1,57V$$

Sfruttando lo specchio di corrente abbiamo anche che:

$$v_{GS_3} = v_{GS_7}$$

Conoscendo la tensione di comando del transistor T2 possiamo valutare la corrente che tale transistor impone, che sarà:

$$i_{D_2} = K_2 (v_{GS_2} - v_{Tn})^2 = 0,171mA$$

La medesima corrente attraverserà anche il transistor T3 e si specchierà nel transistor T7 attraverso la relazione:

$$i_{D_7} = \left(\frac{W/L}{W/L}\right)_7 i_{D_3} = 5,13mA$$

Ovviamente la medesima corrente che attraversa il transistor T7 è anche quella che attraversa il transistor T6 e quindi, supponendo che tale MOS sia in saturazione, possiamo risalire alla tensione di comando del transistor T6 sfruttando al seguente relazione:

$$v_{GS_6} = v_{Tn} + \sqrt{\frac{i_{D_6}}{K_6}} = 1,57V$$

Ricaviamo ora la corrente che imposta dal transistor T1, che sarà la medesima che attraversa il transistor T2; tale corrente si specchia anche nel transistor T5 e si otterrà quindi:

$$i_{D_5} = \left(\frac{W/L}{W/L}\right)_5 i_{D_1} = 1,71mA$$

La medesima corrente attraverserà anche il transistor T4; possiamo dunque ricavare la tensione di comando di questo MOS sfruttando ancora una volta la relazione seguente:

$$v_{GS_4} = v_{Tn} + \sqrt{\frac{i_{D_4}}{K_4}} = 1,116V$$

Abbiamo allora trovato tutte le correnti e le tensioni di polarizzazione, che riassumiamo nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
$i_D$ [mA]	0,171	0,171	0,171	1,71	1,71	5,12	5,12
$v_{GS}$ [V]	-1,87	1,57	1,57	1,116	-1,87	1,57	1,57

Sfruttiamo ora la seguente relazione per ricavare le transconduttanze relative ai vari MOS:

$$g_m = \frac{2i_D}{v_{GS} - v_T}$$

Riassumiamo i valori numerici ottenuti per i vari transistor nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
$g_m$ [mA/V]	0,32	0,32	0,32	5,54	3,2	9,6	9,6

Notiamo, per concludere il discorso sulla polarizzazione, che sarà:

$$v_{Out} = v_{GS_6} = 1,71V$$

Valutiamo ora il rapporto tra le resistenze  $R_1$  ed  $R_2$  notando che la tensione  $v_{GS}$  di comando del transistor T4 è la medesima tensione che ricade sulla resistenza  $R_2$ , ovvero:

$$v_{GS_4} = (5V) \frac{R_2}{R_1 + R_2}$$

Inserendo in tale relazione il valore di  $v_{GS}$  relativa al transistor T4 che abbiamo trovato in precedenza si ottiene:

$$R_1 = 3,48R_2$$

e questo significa che, scegliendo una resistenza  $R_2$  da 0,1M $\Omega$ , si avrà una resistenza  $R_1$  da 0,348M $\Omega$  (sono state scelte resistenze dell'ordine dei M $\Omega$  perché devono essere molto più grandi rispetto alla resistenza  $R_G$ ).

Valutiamo ora la dinamica dell'uscita  $v_{Out}$ ; cerchiamo, per prima cosa, il minimo valore che può avere la  $v_{Out}$  e osserviamo che, quando la tensione  $v_{Out}$  scende, scende anche la tensione  $v_{DS}$  del transistor T7. Il limite oltre il quale non si può scendere è dunque la tensione  $v_{DS}$  di saturazione del transistor T7, ovvero:

$$v_{DS_7}^{Sat} = v_{GS_7} - v_{Tn} = 1,07V$$

e quindi potremmo pensare che il minimo valore consentito per l'uscita sia:

$$v_{Out}^{Min} = 1,07V \quad (3)$$

Dobbiamo però accertarci che questo valore non faccia uscire dalla zona di saturazione il transistor T4; notiamo dunque che è:

$$v_{DS_4} = v_{GS_6} + v_{Out}$$

e quindi, ponendoci nel limite imposto dalla relazione (3), si ottiene:

$$v_{DS_4} = 2,64$$

Il limite perché il transistor T4 rimanga in zona di saturazione è il seguente:

$$v_{DS_4}^{Sat} = v_{GS_4} - v_{Tn} = 0,616$$

Notiamo allora che la tensione  $v_{DS}$  del quarto MOS è effettivamente superiore alla tensione limite e quindi il limite inferiore alla tensione di uscita è effettivamente dato dalla relazione (3) (notiamo che non è necessario controllare che anche il transistor T3 sia in saturazione perché questo è sempre garantito grazie alla connessione a diodo della quale è fornito). Passiamo ora al limite superiore; siccome vale la relazione seguente:

$$v_{Out} + v_{DS_6} = 5V$$

appare evidente che aumentando la tensione di uscita diminuirà la tensione  $v_{DS}$  del transistor T6 e quindi dovremo stare attenti che questo non esca dalla zona di saturazione. Il limite affinché ciò non avvenga è che si abbia:

$$v_{DS_6}^{Sat} = v_{GS_6} - v_{Tn} = 1,07V \quad (4)$$

che imporrebbe:

$$v_{Out} = (5V) - v_{DS_6}^{Sat} = 3,93V \quad (5)$$

Potremmo dunque pensare che questa sia la massima tensione di uscita consentita; per accertarcene dobbiamo però controllare che anche il transistor T5 non esca dalla zona di saturazione. Osserviamo allora che vale la relazione:

$$v_{Out} = (5V) - v_{GS_6} + v_{DS_5}$$

Il limite per cui si ha il transistor T5 in saturazione è il seguente:

$$v_{DS_5}^{Sat} = v_{GS_5} - v_{Tp} = -1,07V$$

Combinando le ultime due relazioni si ottiene dunque:

$$v_{Out} = (5V) - v_{GS_6} + v_{DS_5}^{Sat} = 2,36V$$

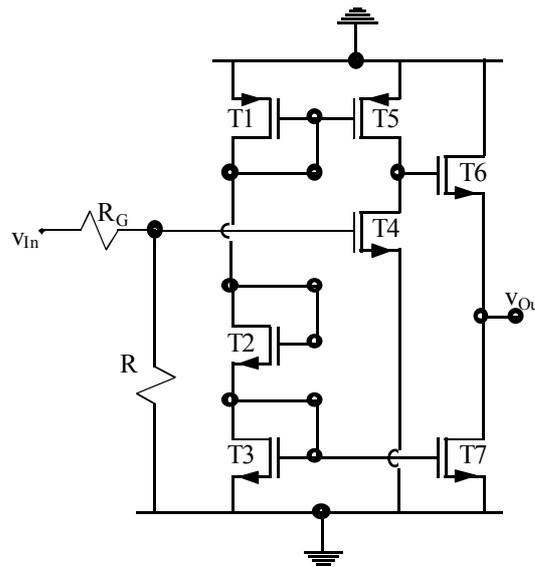
Scegliendo ora la più limitante tra quest'ultima espressione e la relazione (5) (anche in questo caso non devo occuparmi di verificare che il transistor T1 sia in saturazione perché ha un collegamento a diodo che lo garantisce) si ricava:

$$v_{Out}^{Max} = 2,36V$$

e quindi la massima dinamica della tensione di uscita è la seguente:

$$1,07V < v_{Out} < 2,36V$$

Valutiamo ora il guadagno a centro banda mandando in corto circuito la capacità di blocco  $C_B$ ; facciamo dunque riferimento al circuito di figura 2.



**Figura 2**

La resistenza R che appare in tale circuito non è altro che il parallelo tra le due resistenze  $R_1$  ed  $R_2$  e quindi si avrà:

$$R = \frac{R_1 R_2}{R_1 + R_2} = 77,7k\Omega$$

Notiamo dunque che il segnale di ingresso si trasferisce sul gate del transistor T4 tramite un semplice partitore di tensione, ovvero:

$$v_{G_4} = \frac{R}{R + R_G} v_{In}$$

Attraversiamo ora il primo stadio di amplificazione che, come accennato in precedenza, è uno stadio source a massa costruito attorno al transistor T4 e quindi riusciamo a ricostruire la tensione sul gate del transistor T6 che sarà, tenendo conto che siamo in presenza anche delle resistenze di uscita:

$$v_{G_6} = -g_{m_4} \frac{r_4 r_5}{r_4 + r_5} v_{G_4}$$

Attraversiamo poi il secondo stadio di amplificazione che è uno stadio source follower costruito attorno al transistor T6 e arriviamo alla tensione di uscita. Tenendo conto che siamo in presenza anche delle resistenze di uscita si avrà:

$$v_{Out} = \frac{g_{m_6} \frac{r_6 r_7}{r_6 + r_7}}{1 + g_{m_6} \frac{r_6 r_7}{r_6 + r_7}} v_{G_6}$$

Complessivamente, dunque, si avrà:

$$v_{Out} = \frac{R}{R + R_G} \left( -g_{m_4} \frac{r_4 r_5}{r_4 + r_5} \right) \frac{g_{m_6} \frac{r_6 r_7}{r_6 + r_7}}{1 + g_{m_6} \frac{r_6 r_7}{r_6 + r_7}} v_{In}$$

dalla quale ricaviamo il guadagno a centro banda che sarà:

$$A_V = \frac{v_{Out}}{v_{In}} = -g_{m_4} \frac{R}{R + R_G} \cdot \frac{r_4 r_5}{r_4 + r_5} \cdot \frac{g_{m_6} \frac{r_6 r_7}{r_6 + r_7}}{1 + g_{m_6} \frac{r_6 r_7}{r_6 + r_7}} \cong -277$$

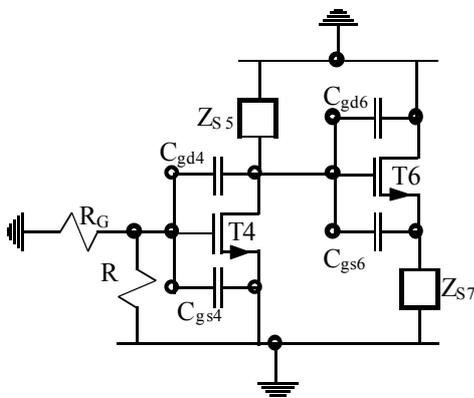
Determiniamo ora la banda passante: il limite inferiore della banda sarà dato dal polo introdotto dalla capacità di blocco che imporrà la seguente costante di tempo:

$$\tau_{Inf} = C_B (R + R_G) = 7,87ms$$

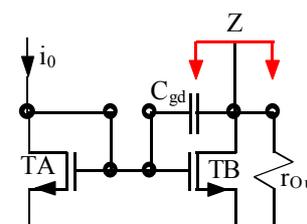
La frequenza del polo che limita inferiormente la banda è dunque la seguente:

$$f_{Inf} = \frac{1}{2\pi\tau_{Inf}} = 20Hz$$

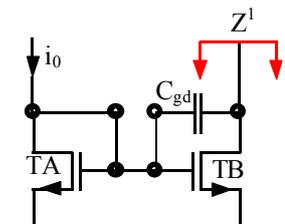
Per valutare il limite superiore della banda devo introdurre, sul percorso tra l'ingresso e l'uscita, le capacità parassite e mettere nuovamente in corto circuito la capacità di blocco; facciamo dunque riferimento al circuito di figura 3.



**Figura 3**



**Figura 4**

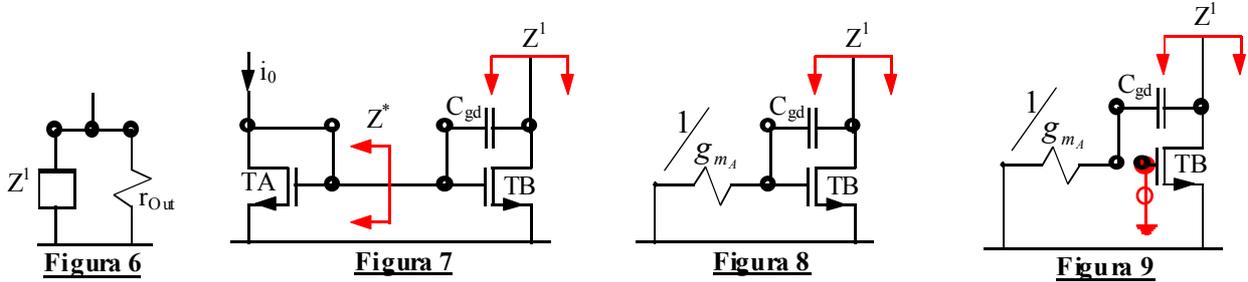


**Figura 5**

Notiamo che i transistor T5 e T7, che fanno parte di due diversi specchi di corrente, sono stati schematizzati tramite una impedenza equivalente  $Z_S$ ; vediamo dunque, prima di procedere con la risoluzione di questo particolare esercizio, come si ricava l'impedenza equivalente di uno specchio di corrente.

Facciamo riferimento allo specchio di corrente mostrato in figura 4 e cerchiamo l'impedenza equivalente  $Z$ . Come prima cosa osserviamo, facendo riferimento alle figure 5 e 6, che possiamo semplificare la situazione andando a valutare l'impedenza  $Z^1$ , tenendo poi conto che sarà:

$$Z = \frac{Z^1 r_{Out}}{Z^1 + r_{Out}}$$



Facendo riferimento al circuito di figura 7 notiamo come sia, essendoci il collegamento a diodo tra gate e drain del transistor TA:

$$Z^* = \frac{1}{g_{m_A}}$$

Possiamo dunque utilizzare il circuito di figura 8 che è un circuito reazionato e stabilizzato in tensione (notiamo infatti che se metto sull'ingresso un generatore di tensione e poi lo apro, il guadagno d'anello non potrà che essere nullo n quanto, con un generatore di tensione di test posto sul gate del MOS si crea un tensione di comando che impone al MOS una corrente che però si scarica tutta a terra). Valutiamo dunque il guadagno d'anello ponendo sull'ingresso un generatore di corrente e poi spegnendolo; usiamo un generatore di tensione di test sul gate del MOS come mostrato in figura 9. Notiamo che la tensione di test introdotta è anche al tensione di comando del MOS, dunque questo imporrà una corrente espressa dalla relazione:

$$i_D = g_{m_B} v_{Test}$$

Tale corrente non può che trasferirsi tutta nella capacità  $C_{gd}$  e poi nella resistenza e quindi la caduta di tensione sulla resistenza sarà:

$$v_R = \frac{g_{m_B}}{g_{m_A}} v_{Test}$$

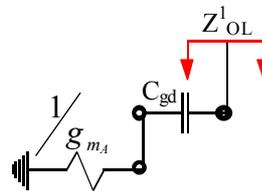
Facendo attenzione al verso della corrente imposta dal MOS appare evidente che sarà:

$$v_{Out}^{Test} = -v_R = -\frac{g_{m_B}}{g_{m_A}} v_{Test}$$

e quindi il guadagno d'anello sarà:

$$G_{Loop} = -\frac{g_{m_B}}{g_{m_A}}$$

L'impedenza  $Z^1$  ad anello aperto è molto semplice da calcolare poiché, spegnendo il MOS, si otterrà il circuito di figura 10.



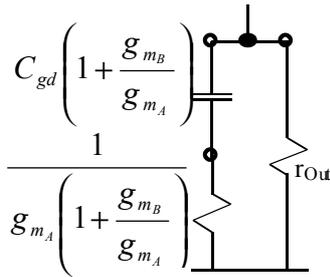
Si avrà dunque:

$$Z_{OL}^1 = \frac{1}{sC_{gd}} + \frac{1}{g_{m_A}}$$

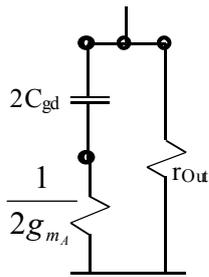
Complessivamente si avrà allora:

$$Z^1 = \frac{Z_{OL}^1}{1 - G_{Loop}} = \frac{\frac{1}{sC_{gd}} + \frac{1}{g_{m_A}}}{1 + \frac{g_{m_B}}{g_{m_A}}}$$

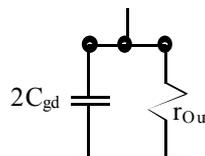
Possiamo dunque ridisegnare il circuito di figura 6 come mostrato in figura 11.



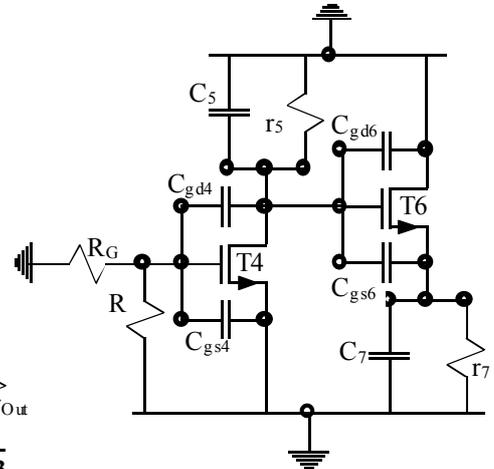
**Figura 11**



**Figura 12**



**Figura 13**



**Figura 14**

Quando siamo in presenza di uno specchio vero e proprio, ovvero quando si ha:

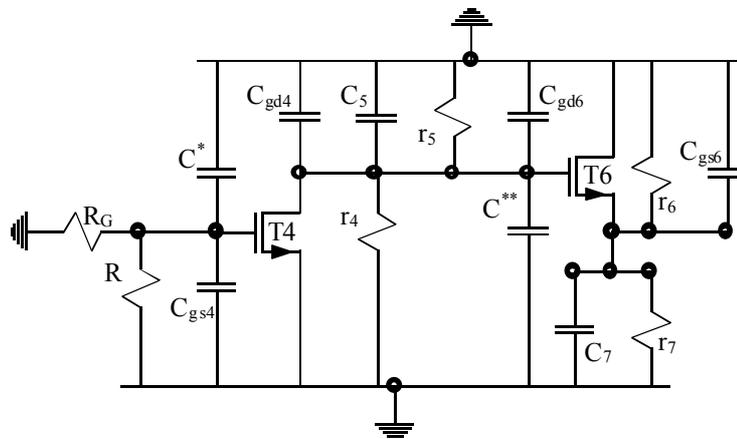
$$g_{m_A} = g_{m_B}$$

il circuito equivalente si semplifica ulteriormente e si ottiene quello di figura 12. Solitamente la resistenza in serie con la capacità  $2C_{gd}$  può essere trascurata e si ottiene quindi il circuito equivalente di figura 13.

Torniamo all'esercizio del quale ci stavamo occupando, siccome i  $g_m$  non sono tutti uguali possiamo ridisegnare il circuito di figura 3 come mostrato in figura 14, dove siano:

$$\begin{cases} C_5 = C_{gd5} \left( 1 + \frac{g_{m5}}{g_{m1}} \right) = 11C_{gd5} = 11pF \\ C_7 = C_{gd7} \left( 1 + \frac{g_{m7}}{g_{m3}} \right) = 31C_{gd7} = 31pF \end{cases}$$

Splittiamo ora le capacità parassite che non sono già a terra sfruttando il teorema di Miller semplificato e otteniamo (tenendo solo le capacità che effettivamente mi interessano ed esplicitando anche le resistenze di uscita dei transistor) il circuito mostrato in figura 15.

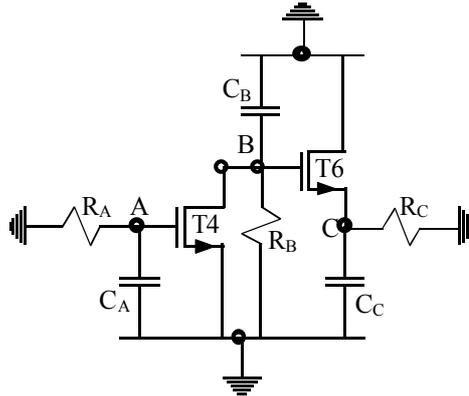


**Figura 15**

Dove siano:

$$\begin{cases} C^* = C_{gd4} \left( 1 + g_{m4} \frac{r_4 r_5}{r_4 + r_5} \right) = 278 C_{gd4} = 278 pF \\ C^{**} = C_{gs6} \left( 1 - \frac{g_{m6} \frac{r_6 r_7}{r_6 + r_7}}{1 + g_{m6} \frac{r_6 r_7}{r_6 + r_7}} \right) \cong 0 \end{cases}$$

Mettiamo allora insieme le capacità e le resistenze che afferiscono ai tre nodi di interesse e otteniamo il circuito di figura 16



**Figura 16**

Dove siano:

$$\begin{cases} C_A = C_{gs4} + C^* = 279 pF \\ C_B = C_{gd4} + C_5 + C_{gd6} + C^{**} = 13 pF \\ C_C = C_{gs6} + C_7 = 32 pF \\ R_A = \frac{R_G R}{R_G + R} = 1 k\Omega \\ R_B = \frac{r_4 r_5}{r_4 + r_5} = 50 k\Omega \\ R_C = \frac{r_6 r_7}{r_6 + r_7} = 50 k\Omega \end{cases}$$

Troviamo dunque tre costanti di tempo relative ai tre nodi di interesse:

$$\begin{cases} \tau_A = R_A C_A = 279 ns \\ \tau_B = R_B C_B = 650 ns \\ \tau_C = R_C C_C = 1600 ns \end{cases}$$

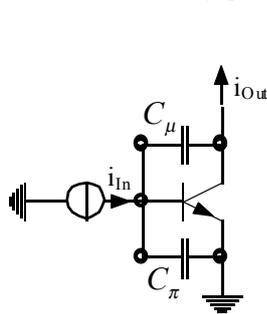
e dunque il limite superiore della banda avrà la seguente frequenza:

$$f_{Sup} = \frac{1}{2\pi(\tau_A + \tau_B + \tau_C)} = 63 kHz$$

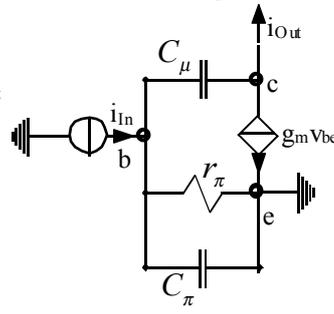
La banda passante sarà dunque compresa tra i 20 Hz e i 63 kHz.

**Pulsazione e frequenza di transizione. Transistor BJT.**

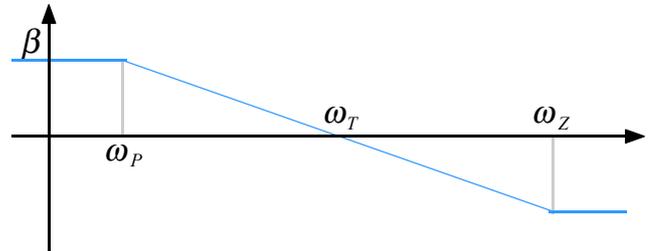
Come prima cosa ci soffermiamo sulla definizione di pulsazione (e frequenza) di transizione. Consideriamo dunque il circuito mostrato in figura 1, il cui circuito equivalente è quello mostrato in figura 2.



**Figura 1**



**Figura 2**



**Figura 3**

Ricordando che è:

$$r_{\pi} = \frac{\beta}{g_m}$$

si osserva come in continua (ovvero quando le due capacità possono considerarsi aperte): si ha:

$$v_{be} = i_{in} r_{\pi} = i_{in} \frac{\beta}{g_m}$$

e dunque la corrente in uscita sarà:

$$i_{Out} = g_m i_{in} = \beta i_{in}$$

Il guadagno in corrente sarà allora:

$$\frac{i_{Out}}{i_{in}} = \beta$$

Inserendo ora le due capacità parassite vediamo come sia presente anche un polo che sarà in:

$$s = -\frac{1}{(C_{\pi} + C_{\mu}) r_{\pi}}$$

Sarà poi presente anche uno zero in quanto notiamo che, se la corrente imposta dal generatore gira tutta nella capacità  $C_{\mu}$  la corrente di uscita sarà nulla. Questo succede quando si ha:

$$v_b s C_{\mu} = g_m v_b$$

e quindi lo zero si avrà per:

$$s = \frac{g_m}{C_{\mu}}$$

L'andamento complessivo del guadagno di corrente sarà allora il seguente:

$$\frac{i_{Out}}{i_{in}} = \beta \frac{1 - s \frac{C_{\mu}}{g_m}}{1 + s (C_{\mu} + C_{\pi}) r_{\pi}}$$

Una rappresentazione grafico si può vedere in figura 3, nella quale appare anche la pulsazione di transizione che, nel caso specifico che stiamo analizzando sarà (per considerazioni fatte a partire dal grafico):

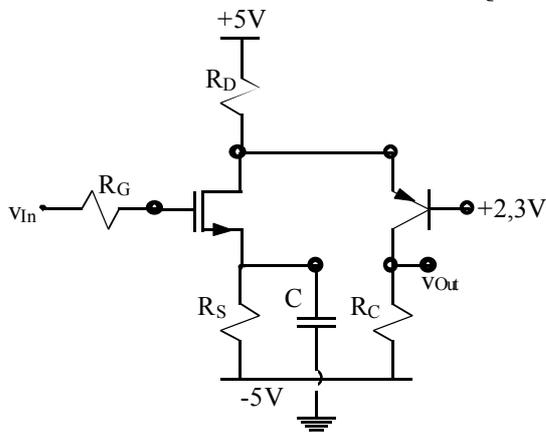
$$\omega_T = \frac{g_m}{C_{\pi} + C_{\mu}}$$

La frequenza di transizione sarà allora, ovviamente:

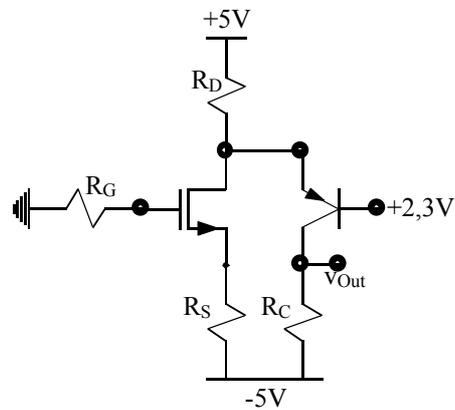
$$f_T = \frac{\omega_T}{2\pi}$$

Consideriamo ora il circuito mostrato in figura 4 e valutiamone la polarizzazione, il guadagno e la banda passante. Sono forniti i seguenti valori numerici:

$$\left\{ \begin{array}{l}
 R_G = 1k\Omega \\
 R_S = 3k\Omega \\
 R_D = 995\Omega \\
 R_C = 5k\Omega \\
 K = 1 \frac{mA}{V^2} \\
 v_T^{MOS} = 1V \\
 v_T^{BJT} = 0,2V \\
 f_T^{MOS} = 100MHz \\
 C_{gd} = 1pF \\
 \beta = 100 \\
 f_T^{BJT} = 200MHz \\
 C_\mu = 1pF
 \end{array} \right.$$

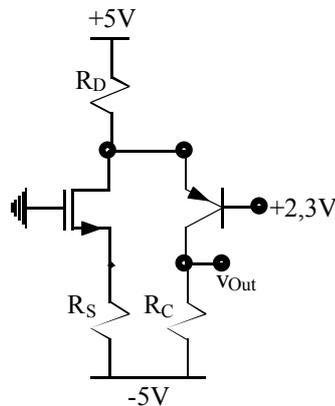


**Figura 4**



**Figura 5**

Per studiare la polarizzazione dobbiamo spegnere il segnale e aprire la capacità di bypass C: quindi ci troviamo a dover gestire il circuito di figura 5; notiamo dunque che non può scorrere corrente nella resistenza  $R_G$  che quindi è assolutamente ininfluente; concentriamoci dunque sul circuito di figura 6.



**Figura 6**

Osserviamo ora che la topologia del circuito mi permette di scrivere la seguente relazione:

$$v_{GS} + v_{R_S} = 5V$$

E' altresì evidente che sarà:

$$v_{R_S} = R_S i_D$$

Ipotizzando che il MOS si trovi in zona di saturazione si ricava:

$$i_D = K(v_{GS} - v_T)^2 \quad (1)$$

Combinando le ultime tre relazioni scritte si ottiene allora la seguente equazione di secondo grado in  $v_{GS}$ :

$$KR_S v_{GS}^2 + (1 - 2KR_S v_T)v_{GS} + [KR_S v_T^2 - (5V)] = 0$$

Inserendo i valori numerici e tenendo conto solo della maggiore delle due soluzioni, si ottiene:

$$v_{GS} = 2V$$

Utilizzando il valore di  $v_{GS}$  trovato nella relazione (1) si ottiene la corrente imposta dal MOS:

$$i_D = K(v_{GS} - v_T)^2 = 1mA$$

Ricordiamo ora la teoria sul transistor BJT (si veda la lezione 24) secondo la quale un classico valore relativo alla tensione  $v_{BE}$  è 0,7V; siccome in questo caso la corrente dell'emitter è indicata entrante nel BJT avremo però:

$$v_{BE} = -0,7V$$

Facendo allora riferimento al drain del MOS, vediamo che risulta valida (data la topologia del circuito) la seguente relazione:

$$v_D = (2,3V) - v_{BE} = 3V$$

A questo punto possiamo verificare che il MOS si trovi effettivamente in saturazione in quanto si ha:

$$v_{GD} = -v_D = -3V$$

e quindi è effettivamente verificata la relazione secondo la quale:

$$v_{GD} < v_T$$

Possiamo a questo punto valutare la caduta di tensione sulla resistenza  $R_D$ , che sarà:

$$v_{R_D} = (5V) - v_D = 2V$$

e quindi la corrente che attraversa tale resistore sarà:

$$i_{R_D} = \frac{v_{R_D}}{R_D} = 2,01mA$$

Sfruttando ora la legge di Kirchhoff al drain del MOS si ricava che la corrente che entra nell'emitter del BJT sarà:

$$i_E = i_{R_D} - i_D = 1,01mA$$

Ricaviamo le altre due correnti caratteristiche del BJT sfruttando ora le seguenti espressioni:

$$\begin{cases} i_B = \frac{1}{\beta + 1} i_E = 10\mu A \\ i_C = \frac{\beta}{\beta + 1} i_E = 1mA \end{cases}$$

Possiamo così ricavare la caduta di tensione sulla resistenza  $R_C$  che sarà:

$$v_{R_C} = R_C i_C = 5V$$

e dunque l'uscita sarà:

$$v_{Out} = (-5V) + v_{R_C} = 0V$$

Dobbiamo ora verificare che anche il BJT funzioni correttamente; notiamo dunque che si ha:

$$v_{EC} = 3V$$

e quindi è verificata la condizione secondo la quale si deve avere:

$$v_{EC} > v_T$$

Passiamo ora ad occuparci del guadagno: spegniamo dunque la polarizzazione e riaccendiamo il segnale. Iniziamo a valutare il guadagno a centro banda e quindi chiudiamo in corto circuito la capacità di bypass; in questo modo la resistenza  $R_S$  risulterà tagliata fuori e quindi dobbiamo fare riferimento al circuito di figura 7. Calcoliamo ora i termini  $g_m$  relativi ai due transistor (ricordando che il classico valore per la tensione termica è di 25mV):

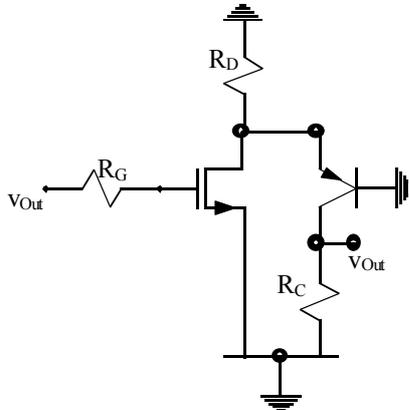
$$\begin{cases} g_m^{MOS} = \frac{2i_D}{v_{GS} - v_T} = 2 \frac{mA}{V} \\ g_m^{BJT} = \frac{i_C}{v_{Th}} = 40 \frac{mA}{V} \end{cases}$$

osserviamo inoltre come sarà:

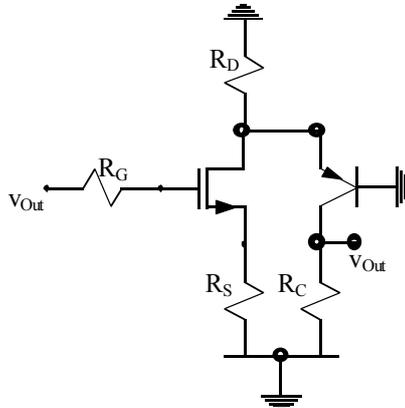
$$\alpha = \frac{\beta}{1 + \beta} \cong 1$$

Possiamo dunque calcolare la resistenza  $r_e$  del BJT che sarà:

$$r_e = \frac{\alpha}{g_m^{BJT}} = 25\Omega$$



**Figura 7**



**Figura 8**

Notiamo subito, ora, che il segnale si trasferisce immutato sul gate del MOS (in quanto attraverso la resistenza  $R_G$  non può scorrere corrente). A questo punto ci troviamo di fronte ad un normale stadio source a massa e quindi in uscita da questo primo stadio si avrà la tensione:

$$v_{Out}^I = -g_m^{MOS} \frac{R_D r_e}{R_D + r_e} v_{In}$$

Otteniamo ora come segue la corrente in uscita dal BJT:

$$i_{Out}^{II} = g_m^{BJT} v_{Out}^I = -g_m^{BJT} g_m^{MOS} \frac{R_D r_e}{R_D + r_e} v_{In}$$

la corrente che esce dal BJT provoca sulla resistenza  $R_C$  una caduta di tensione che è l'uscita che stiamo cercando. Il guadagno complessivo di questo circuito è dunque il seguente:

$$A_V = -g_m^{BJT} g_m^{MOS} \frac{R_D r_e}{R_D + r_e} R_C = -9,66$$

Quando siamo in continua, invece, la capacità di blocco può essere considerata un aperto e quindi dobbiamo fare riferimento al circuito di figura 8. Il segnale si trasferirà ancora invariato sul gate del MOS dove però, questa volta, incontrerà non uno stadio source a massa ma uno stadio a doppio carico e quindi il primo stadio del circuito sarà caratterizzato dalla seguente funzione di trasferimento:

$$v_{Out}^I = -\frac{g_m^{MOS} \frac{R_D r_e}{R_D + r_e}}{1 + g_m^{MOS} R_S} v_{In}$$

Il resto del percorso rimane inalterato e quindi si avrà, complessivamente:

$$A_V = -g_m^{BJT} \frac{g_m^{MOS} \frac{R_D r_e}{R_D + r_e}}{1 + g_m^{MOS} R_S} R_C = -1,38$$

Il diverso guadagno a centro banda piuttosto che a bassa frequenza implica che la capacità di bypass introduce uno zero ed un polo nella funzione di trasferimento complessiva che saranno i seguenti:

$$\left\{ \begin{array}{l} \omega_P = \frac{1}{C \frac{R_S}{1 + g_m^{MOS} R_S}} \\ \omega_Z = \frac{1}{R_S C} \end{array} \right.$$

che corrispondono alle seguenti frequenze:

$$\begin{cases} f_P = 9,28\text{Hz} \\ f_Z = 1,32\text{Hz} \end{cases}$$

Per valutare, infine, la banda passante, dobbiamo introdurre le capacità parassite dei due transistor. Osserviamo innanzitutto che la relazione seguente:

$$C_\pi + C_\mu = \frac{g_m^{BJT}}{2\pi f_T^{BJT}}$$

ci permette di ricavare:

$$C_\pi = \frac{g_m^{BJT}}{2\pi f_T^{BJT}} - C_\mu = 30,83\text{pF}$$

mentre la relazione seguente:

$$C_{gs} + C_{gd} = \frac{g_m^{MOS}}{2\pi f_T^{MOS}}$$

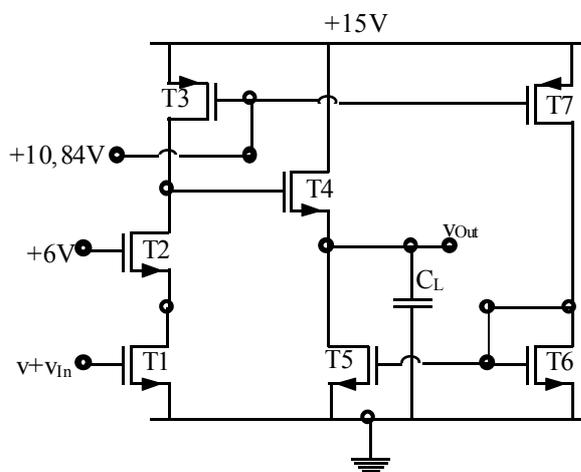
ci permette di ricavare:

$$C_{gs} = \frac{g_m^{MOS}}{2\pi f_T^{MOS}} - C_{gd} = 2,183\text{pF}$$

Ora possiamo introdurre tutte le capacità parassite e, con il solito metodo già visto in precedenti esercitazioni, possiamo ricavare il primo polo introdotto da tali capacità, che è anche il polo che segna il limite superiore della banda e che avrà una frequenza di 17,6MHz.

**Amplificatore multistadio MOSFET in configurazione CASCODE.**

Consideriamo l'amplificatore mostrato in figura 1 e valutiamone la polarizzazione, la dinamica di uscita, il guadagno a centro banda e la banda passante (nell'ipotesi di una resistenza di ingresso di 20kΩ).



**Figura 1**

Sono forniti i seguenti dati numerici:

$$\left\{ \begin{array}{l} v_{in} = |v_{Tp}| = 1V \\ K_n^1 = 20 \frac{\mu A}{V^2} \\ L = 10 \mu m \\ K_p^1 = \frac{1}{2} K_n^1 \\ C_{gs}^1 = 30 fF \\ C_{gd}^1 = 3,5 fF \\ \lambda = 0,02 V^{-1} \\ C_L = 0,1 pF \\ W_1 = W_2 = W_3 = W_7 = 10 \mu m \\ W_4 = 400 \mu m \\ W_5 = 2500 \mu m \\ W_6 = 50 \mu m \end{array} \right.$$

Come prima cosa sfruttiamo i dati forniti per ricavare i rapporti di forma dei transistor presenti e raccogliamo i risultati nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
W/L	1	1	1	40	250	5	1

Dai dati forniti ricaviamo che, ovviamente:

$$K_p^1 = \frac{1}{2} K_n^1 = 10 \frac{\mu A}{V^2}$$

Abbiamo ora tutto quello che ci serve per ricavare i coefficienti K relativi a tutti i MOS, sfruttando la relazione:

$$K = \frac{1}{2} K^1 \frac{W}{L}$$

Riassumiamo anche in questo caso i risultati nella tabella seguente:

	T1	T2	T3	T4	T5	T6	T7
K [ $\mu\text{A}/\text{V}^2$ ]	10	10	5	400	2500	50	5

Vediamo ora che la tensione di comando del transistor T3 è già assegnata in quanto si ha:

$$v_{GS_3} = (10,84V) - (15V) = -4,16V$$

Notiamo poi come sia:

$$v_{GS_7} = v_{GS_3} = -4,16V$$

Possiamo ora ricavare, considerando in saturazione i transistor T3 e T7, le due correnti da essi generate:

$$\begin{cases} i_{D_3} = K_3 (v_{GS_3} + |v_{Tp}|)^2 = 50\mu\text{A} \\ i_{D_7} = K_7 (v_{GS_7} + |v_{Tp}|)^2 = 50\mu\text{A} \end{cases}$$

dalla topologia del circuito non possiamo far altro che notare che:

$$\begin{cases} i_{D_2} = i_{D_3} = 50\mu\text{A} \\ i_{D_6} = i_{D_7} = 50\mu\text{A} \end{cases}$$

Possiamo dunque risalire alla tensioni di comando dei transistor T2 e T6:

$$\begin{cases} v_{GS_2} = v_{Tn} + \sqrt{\frac{i_{D_2}}{K_2}} = 3,23V \\ v_{GS_6} = v_{Tn} + \sqrt{\frac{i_{D_6}}{K_6}} = 2V \end{cases}$$

Sempre sfruttando la topologia del circuito ricaviamo che:

$$i_{D_1} = i_{D_2} = 50\mu\text{A}$$

e quindi la tensione di comando del transistor T1 sarà:

$$v_{GS_1} = v_{Tn} + \sqrt{\frac{i_{D_1}}{K_1}} = 3,23V$$

da cui ricaviamo, essendo nulla la tensione sul source del transistor T1 che è:

$$v = v_{G_1} = 3,23V$$

Ora osserviamo che le tensioni di comando dei transistor T5 e T6 sono uguali:

$$v_{GS_5} = v_{GS_6} = 2V$$

Tali due transistor formano uno specchio di corrente e dunque la corrente del transistor T5 sarà esprimibile come segue:

$$i_{D_5} = i_{D_6} \frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_6} = 2500\mu\text{A}$$

Ovviamente si avrà poi che:

$$i_{D_4} = i_{D_5} = 2500\mu\text{A}$$

e quindi possiamo ricavare anche la tensione di comando del transistor T4 tramite la seguente relazione:

$$v_{GS_4} = v_{Tn} + \sqrt{\frac{i_{D_4}}{K_4}} = 3,5V$$

Riassumiamo i valori numerici relativi alle tensioni di comando e alle correnti imposte per tutti i transistor nella tabella seguente:

	T1	T2	T3	T4	T5	T6	T7
$v_{GS}$ [V]	3,23	3,23	-4,16	3,5	2	2	-4,16
$i_D$ [ $\mu\text{A}$ ]	50	50	50	2500	2500	50	50

Sfruttiamo ora la relazione seguente per ricavare i termini  $g_m$ , e quindi anche i loro inversi, relativi a tutti i transistor:

$$g_m = \frac{2i_D}{v_{GS} - v_T}$$

Raccogliamo i risultati nella tabella seguente:

	T1	T2	T3	T4	T5	T6	T7
$g_m$ [ $\mu A/V$ ]	44,7	44,7	31,6	2000	5000	100	31,6
$1/g_m$ [ $k\Omega$ ]	22,4	22,4	31,6	0,5	0,2	10	31,6

Osserviamo ora che è:

$$v_A = \frac{1}{\lambda} = 50V$$

possiamo dunque calcolare le resistenze di uscita dei vari transistor sfruttando la relazione seguente:

$$r = \frac{v_A}{i_D}$$

Troveremo i risultati riassunti nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7
$r$ [ $M\Omega$ ]	1	1	1	0,02	0,02	1	1

Ricordiamo, infine, che le capacità parassite dipendono dalla capacità dell'ossido e dai termini L e W; siccome la capacità dell'ossido e il termine L sono comuni a tutti i transistor, ciò che differenzierà le capacità parassite dei vari transistor sarà il termine W, in particolare, si avrà:

$$\begin{cases} C_{gs}^i = \frac{W_i}{W_1} C_{gs}^1 \\ C_{gd}^i = \frac{W_i}{W_1} C_{gd}^1 \end{cases}$$

I risultati sono riassunti nella tabella seguente:

	T1	T2	T3	T4	T5	T6	T7
$C_{gs}$ [fF]	30	30	30	1200	7500	150	30
$C_{gd}$ [fF]	3,5	3,5	3,5	140	875	17,5	3,5

Concentriamoci ora sulla dinamica di uscita dell'amplificatore: siccome si ha:

$$v_{Out} = v_{DS_5}$$

dobbiamo fare attenzione, abbassando l'uscita, che questa non scenda troppo per non far uscire dalla zona di saturazione il transistor T5. Il limite perché ciò non succeda è che sia:

$$v_{Out} = v_{DS_5}^{Sat} = v_{GS_5} - v_{Tn} = 1V \quad (1)$$

Non occorre accertarci che il transistor T6 non esca dalla zona di saturazione perché il collegamento a diodo del quale è munito ci garantisce da questo punto di vista; dobbiamo però verificare che non esca dalla zona di saturazione il transistor T2. Per fare questo notiamo innanzitutto che è:

$$v_{D_2} = v_{Out} + v_{GS_4}$$

e anche che:

$$v_{S_2} = (6V) - v_{GS_2}$$

Abbiamo allora:

$$v_{DS_2} = v_{D_2} - v_{S_2} = v_{Out} + v_{GS_4} - (6V) + v_{GS_2}$$

Il limite affinché il transistor T2 rimanga in saturazione è il seguente:

$$v_{DS_2}^{Sat} = v_{GS_2} - v_{Tn}$$

ovvero:

$$v_{GS_2} - v_{Tn} = v_{Out} + v_{GS_4} - (6V) + v_{GS_2}$$

dalla quale si ricava:

$$v_{Out} = (6V) - v_{GS_4} - v_{Tn} = 1,5V$$

Il confronto di quest'ultima espressione con la relazione (1) ci permette di osservare che questa seconda condizione è più rigida e quindi ci porta ad affermare che:

$$v_{Out}^{Min} = 1,5V$$

Quando la tensione di uscita si alza dobbiamo per prima cosa stare attenti che il transistor T4 non esca dalla zona di saturazione; dalla topologia del circuito notiamo che:

$$v_{Out} = (15V) - v_{DS_4}$$

Il limite affinché il transistor T4 rimanga in zona di saturazione è, come al solito:

$$v_{DS_4}^{Sat} = v_{GS_4} - v_{Tn}$$

Combinando le ultime due relazioni scritte si ottiene dunque:

$$v_{Out} = (15V) - v_{GS_4} + v_{Tn} = 12,5V \quad (2)$$

Dobbiamo ora verificare che non esca dalla zona di saturazione anche il transistor T3. Per fare questo dobbiamo innanzitutto osservare che:

$$v_{D_3} = v_{Out} + v_{GS_4}$$

Abbiamo dunque:

$$v_{DS_3} = v_{D_3} - v_{S_3} = v_{Out} + v_{GS_4} - (15V)$$

Il limite affinché il transistor T3 rimanga in saturazione è il seguente:

$$v_{DS_3}^{Sat} = v_{GS_3} + |v_{Tp}|$$

Combinando allora le ultime due relazioni scritte si ottiene:

$$v_{GS_3} + |v_{Tp}| = v_{Out} + v_{GS_4} - (15V)$$

dalla quale si ottiene:

$$v_{Out} = v_{GS_3} + |v_{Tp}| - v_{GS_4} + (15V) = 8,34V$$

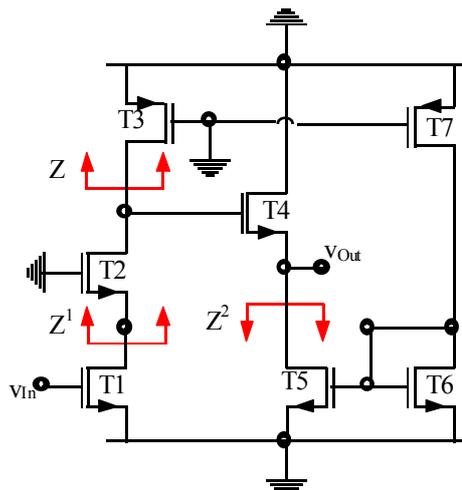
Dal confronto di quest'ultima relazione con la relazione (2) si deduce che la condizione più stringente è posta dal transistor T3 e quindi affermiamo che:

$$v_{Out}^{Max} = 8,34V$$

La dinamica di uscita è dunque:

$$1,5V < v_{Out} < 8,34V$$

Ci occupiamo ora del guadagno a centro banda spegnendo la polarizzazione e osservando che a centro banda la capacità  $C_L$  è anche lei aperta (in quanto ha più o meno le stesse dimensioni delle capacità parassite) e dunque dobbiamo fare riferimento al circuito di figura 2.



**Figura 2**

Notiamo dunque che siamo in presenza di un primo stadio (composto dai transistor T1 e T2) che ha la struttura CASCODE; sul gate del transistor T4, dunque, si porterà la tensione di ingresso  $v_{in}$  amplificata tramite il guadagno dello stadio CASCODE. Osserviamo dunque come sia (ricordando che tutti i transistor sono corredati delle loro resistenze di uscita):

$$Z = r_3$$

e dunque anche come sia:

$$Z^1 = \frac{Z + r_2}{1 + g_{m_2} r_2} = \frac{r_3 + r_2}{1 + g_{m_2} r_2} = 43,8k\Omega$$

Dopo il primo stadio si avrà allora:

$$v_{G_4} = -g_{m_1} Z \frac{r_1}{r_1 + Z^1} v_{In} = -g_{m_1} r_3 \frac{r_1 + g_{m_2} r_2 r_1}{r_1 + r_2 + r_3 + g_{m_2} r_1 r_2} v_{In} = -42,8v_{In}$$

A questo punto ci dobbiamo occupare del secondo stadio che è un semplice source follower costruito attorno al transistor T4. Osserviamo dunque per prima cosa che:

$$Z^2 = r_5$$

Il carico complessivo visto dal source follower sarà allora:

$$R_S = \frac{Z^2 r_4}{Z^2 + r_4} = 10k\Omega$$

Avremo allora:

$$v_{Out} = \frac{g_{m_4} R_S}{1 + g_{m_4} R_S} v_{G_4} = 0,952v_{G_4}$$

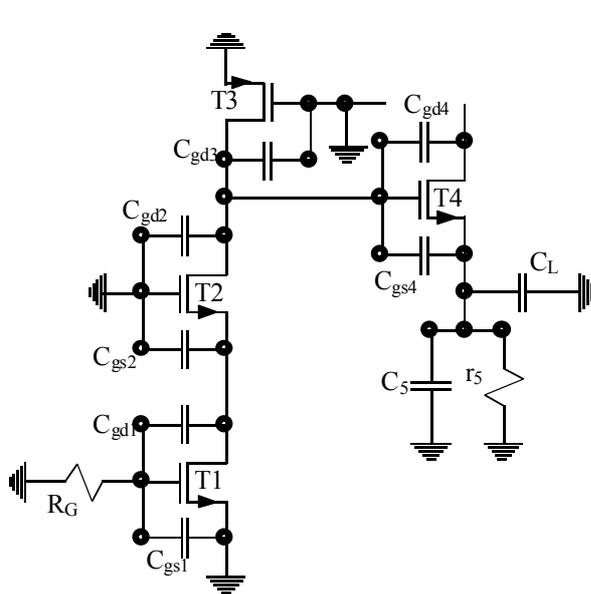
Complessivamente si avrà allora:

$$v_{Out} = -40,7v_{In}$$

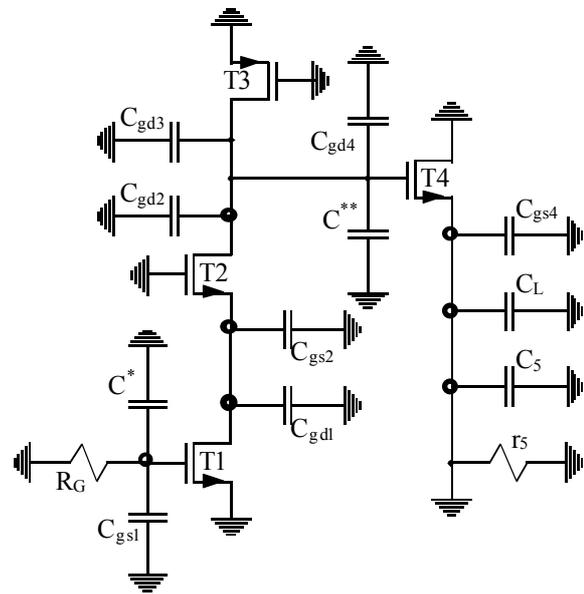
e quindi:

$$A_V = \frac{v_{Out}}{v_{In}} = -40,7$$

Studiamo ora la banda passante; la banda non avrà limite inferiore perché non c'è nessuna capacità grossa che lavora come una capacità di blocco, dobbiamo dunque solo trovare il primo polo introdotto dalle capacità parassite e dalla capacità di carico. In figura 3 imponiamo le capacità lungo il percorso dall'ingresso all'uscita.



**Figura 3**



**Figura 4**

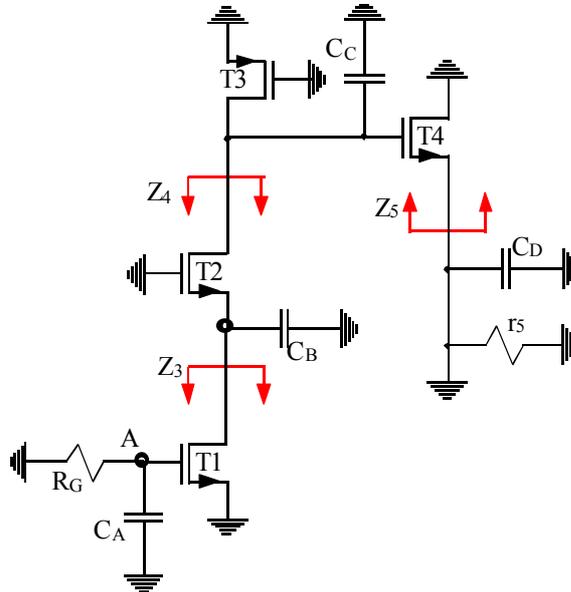
Notiamo che il transistor T5 fa parte di uno specchio di corrente e quindi possiamo sostituirlo con il parallelo tra la sua resistenza di uscita e la capacità:

$$C_5 = C_{gd_5} \left( 1 + \frac{g_{m_5}}{g_{m_6}} \right) = 44625 fF$$

Mettiamo a terra tutte le capacità, dove occorre utilizziamo il teorema di Miller semplificato per splittarle; otteniamo allora quanto si vede in figura 4 dove siano:

$$\begin{cases} C^* = C_{gd1} (1 + g_{m1} Z^1) = 10,3 \text{ fF} \\ C^{**} = C_{gs4} \left( 1 - \frac{g_{m4} R_S}{1 + g_{m4} R_S} \right) = 57 \text{ fF} \end{cases}$$

Riduciamo ora al minimo il numero di capacità come mostrato in figura 5.



**Figura 5**

Dove sia:

$$\begin{cases} C_A = C_{gs1} + C^* = 40,3 \text{ fF} \\ Z_3 = r_1 = 1 \text{ M}\Omega \\ C_B = C_{gd1} + C_{gs2} = 33,5 \text{ fF} \\ Z_4 = r_2 + Z_3 (1 + g_{m2} r_2) = 46,7 \text{ M}\Omega \\ C_C = C_{gd2} + C_{gd3} + C_{gd4} + C^{**} = 204 \text{ fF} \\ Z_5 = \frac{r_4}{1 + g_{m4} r_4} = 488 \Omega \\ C_D = C_{gs4} + C_L + C_5 = 45925 \text{ fF} \end{cases}$$

Mi sono ridotto ad avere quattro capacità, dalle quali, osservando come sia:

$$R_D = \frac{Z_5 r_5}{Z_5 + r_5} = 476 \Omega$$

ricavo le rispettive costanti di tempo:

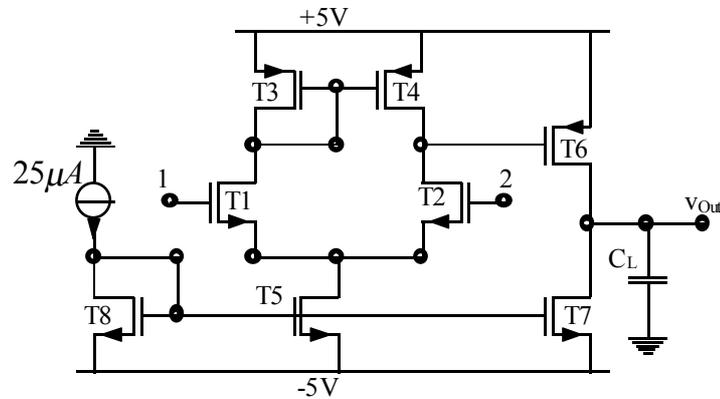
$$\begin{cases} \tau_A = C_A R_G = 0,81 \text{ ns} \\ \tau_B = C_B \frac{Z_3 Z_1}{Z_3 + Z_1} = 1,4 \text{ ns} \\ \tau_C = C_C \frac{Z Z_4}{Z + Z_4} = 200 \text{ ns} \\ \tau_D = C_D R_D = 21,8 \text{ ns} \end{cases}$$

Il primo polo imposto da queste capacità, che è anche il limite superiore della banda, avrà allora la seguente frequenza:

$$f_{Sup} = \frac{1}{2\pi(\tau_A + \tau_B + \tau_C + \tau_D)} = 710kHz$$

**Amplificatore multistadio MOSFET.**

Consideriamo l'amplificatore mostrato in figura 1: tabiliamo quale ingresso è invertente e quale non è invertente, valutiamone la polarizzazione, la dinamica di ingresso e di uscita, il guadagno differenziale, il CMRR del I stadio e la frequenza di taglio superiore.



**Figura 1**

Sono forniti i seguenti valori numerici:

$$\left. \begin{aligned}
 v_{Tn} = |v_{Tp}| &= 1V \\
 \mu_n C_{ox} &= 20 \frac{\mu A}{V^2} \\
 \mu_p C_{ox} &= \frac{1}{2} \mu_n C_{ox} \\
 v_A &= 25V \\
 L_{OL} &= 0,5 \mu m \\
 C_{ox} &= 0,35 \frac{fF}{\mu m^2} \\
 L_1 = L_2 &= 8 \mu m \\
 L_3 = L_4 = L_5 = L_6 = L_7 = L_8 &= 10 \mu m \\
 W_1 = W_2 &= 120 \mu m \\
 W_3 = W_4 &= 50 \mu m \\
 W_5 = W_7 = W_8 &= 150 \mu m \\
 W_6 &= 100 \mu m \\
 C_L &= 15 pF
 \end{aligned} \right\}$$

Notiamo, per iniziare, che l'uscita è posta dopo un source a massa (costruito attorno al transistor T6), che è un elemento invertente. Risalendo verso l'uscita si incontra un secondo source a massa (costruito attorno al transistor T2) e quindi un nuovo elemento invertente. Inserendo una variazione nell'ingresso 2, quindi, questa verrà invertita due volte ed uscirà non invertita. Possiamo dunque affermare che l'ingresso 2 è l'ingresso non invertente e quindi, di conseguenza, l'ingresso 1 è quello invertente. Concentriamoci ora sulla polarizzazione; osserviamo subito come sia, ovviamente:

$$\mu_p C_{ox} = \frac{1}{2} \mu_n C_{ox} = 10 \frac{\mu A}{V^2}$$

Sfruttiamo inoltre i dati che ci sono stati forniti per ricavare il rapporto di forma dei vari MOS e raccogliamo i dati nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7	T8
W/L	15	15	5	5	15	10	15	15

Abbiamo ora tutto quello che ci serve per sfruttare la formula seguente

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L}$$

e ricavare i coefficienti K di tutti MOS presenti. Raccogliamo i risultati nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7	T8
K [ $\mu A/V^2$ ]	150	150	25	25	150	50	150	150

Si osservi che la corrente che circola nel transistor T8 è fissata dal generatore e quindi si avrà:

$$i_{D_8} = 25 \mu A$$

I transistor T8, T5 e T7 sono identici e fanno parte di un distributore di corrente e quindi le correnti che li attraversano sono identiche:

$$i_{D_5} = i_{D_7} = i_{D_8} = 25 \mu A$$

La medesima corrente che attraversa il transistor T7 attraverserà anche il transistor T6 e quindi si avrà:

$$i_{D_6} = i_{D_7} = 25 \mu A$$

Applicando ora la legge di Kirchoff al source comune dei transistor T1 e T2 si ottiene:

$$i_{D_1} + i_{D_2} = i_{D_5} \quad (1)$$

Ovviamente si avrà poi anche che:

$$\begin{cases} i_{D_1} = i_{D_3} \\ i_{D_2} = i_{D_4} \end{cases}$$

Siccome i transistor T3 e T4 sono identici e fanno parte di uno specchio di corrente, si dovrà avere che:

$$i_{D_3} = i_{D_4}$$

e quindi, come diretta conseguenza:

$$i_{D_1} = i_{D_2}$$

Sostituendo quest'ultima relazione nell'equazione (1) si ricava allora:

$$2i_{D_1} = i_{D_5}$$

e quindi:

$$i_{D_1} = \frac{i_{D_5}}{2} = 12,5 \mu A$$

Si avrà allora:

$$i_{D_1} = i_{D_2} = i_{D_3} = i_{D_4} = 12,5 \mu A$$

Riassumiamo dunque nella seguente tabella i valori delle correnti imposte dai vari MOS:

	T1	T2	T3	T4	T5	T6	T7	T8
$i_D$ [ $\mu A$ ]	12,5	12,5	12,5	12,5	25	25	25	25

A questo punto possiamo ricavare le tensioni di comando dei vari transistor sfruttando (a seconda che si tratti di un P-MOS o di un N-MOS) le seguenti due relazioni:

$$\begin{cases} v_{GS_n} = v_{Tn} + \sqrt{\frac{i_D}{K}} \\ v_{GS_p} = -|v_{Tp}| - \sqrt{\frac{i_D}{K}} \end{cases}$$

I risultati sono riassunti nella tabella che segue:

	T1	T2	T3	T4	T5	T6	T7	T8
$v_{GS}$ [V]	1,289	1,289	-1,707	-1,707	1,408	-1,707	1,408	1,408

Abbiamo ora tutto quello che ci serve per ricavare la transimpedenza (e il suo inverso) di ogni singolo MOS, sfruttando la relazione seguente:

$$g_m = \left| \frac{2i_D}{|v_{GS}| - |v_T|} \right|$$

Riassumiamo nel seguito i risultati:

	T1	T2	T3	T4	T5	T6	T7	T8
$g_m$ [ $\mu A/V$ ]	86,6	86,6	35,35	35,35	122,5	70,71	122,5	122,5
$1/g_m$ [ $k\Omega$ ]	11,5	11,5	28,3	28,3	8,2	14,1	8,2	8,2

Calcoliamo ora le resistenze di uscita dei vari transistor sfruttando la relazione:

$$r = \frac{v_A}{i_D}$$

I risultati sono quelli raccolti nella seguente tabella:

	T1	T2	T3	T4	T5	T6	T7	T8
$r$ [ $M\Omega$ ]	2	2	2	2	1	1	1	1

Ricordiamo ora la definizione di capacità di overlap:

$$C_{OL} = C_{OX}WL_{OL}$$

In regime di saturazione si ha poi che:

$$C_{gd} = C_{OL}$$

Per i vari MOS si avrà dunque:

	T1	T2	T3	T4	T5	T6	T7	T8
$C_{gd}$ [ $fF$ ]	21	21	8,75	8,75	26,25	17,5	26,25	26,25

In regime di saturazione si ha anche:

$$C_{gs} = \frac{2}{3}C_{OX}WL$$

in quanto si trascura in questo caso la capacità di overlap che comunque sarebbe presente. Per i vari MOS si avrà dunque:

	T1	T2	T3	T4	T5	T6	T7	T8
$C_{gs}$ [ $fF$ ]	224	224	116,7	116,7	350	233	350	350

Studiamo ora la dinamica di uscita. Osserviamo innanzitutto come sia:

$$v_{Out} = v_{DS_6} + (5V)$$

Quando la tensione di uscita sale la tensione  $v_{DS}$  del transistor T6 scende, il limite oltre il quale il transistor T6 esce dalla zona di saturazione è il seguente:

$$v_{DS_6}^{Sat} = v_{GS_6} + |v_{Tp}|$$

combinando dunque le ultime due relazioni scritte si ottiene:

$$v_{Out}^{Max} = v_{GS_6} + |v_{Tp}| + (5V) = 4,3V$$

Osserviamo ora che la topologia del circuito ci permette anche di scrivere la seguente relazione:

$$v_{Out} = v_{DS_7} + (-5V)$$

Quando la tensione di uscita scende, scende anche la tensione  $v_{DS}$  del transistor T7, il limite oltre il quale il transistor T7 esce dalla zona di saturazione è il seguente:

$$v_{DS_7}^{Sat} = v_{GS_7} - v_{Tn}$$

Combinando allora le ultime due relazioni scritte si ricava:

$$v_{Out}^{Min} = v_{GS_7} - v_{Tn} + (-5V) = -4,6V$$

La massima dinamica dell'uscita sarà dunque:

$$-4,6V < v_{Out} < 4,3V$$

Per quanto riguarda la dinamica dell'ingresso osserviamo che si ha, partendo dall'ingresso invertente:

$$v_{In} = v_{GS_1} + v_{DS_5} + (-5V)$$

Quando la tensione di ingresso scende, scende di conseguenza anche la tensione  $v_{DS}$  del transistor T5; il limite oltre il quale T5 esce dalla zona di saturazione è ovviamente:

$$v_{DS_5}^{Sat} = v_{GS_5} - v_{Tn}$$

Combinando le ultime due relazioni scritte si ricava:

$$v_{In} = v_{GS_1} + v_{GS_5} - v_{Tn} + (-5V) = -3,3V$$

Siccome valutando l'ingresso dalla porta non invertente si ritorna allo stesso risultato (essendo tutto simmetrico), non ci sono condizioni più riduttive e posso quindi affermare che:

$$v_{In}^{Min} = -3,3V$$

Per quanto riguarda il limite superiore dobbiamo imporre che il transistor T1 non esca dalla zona di saturazione (il transistor T3 non uscirà sicuramente dalla zona di saturazione perché ha un collegamento a diodo). Osserviamo dunque che si ha:

$$v_{DS_3} = v_{GS_3}$$

Si ha poi che:

$$v_{D_1} = (5V) + v_{DS_3}$$

Combiniamo allora questa relazione con la condizione:

$$v_{GD_1} < v_{Tn}$$

che si può riscrivere come:

$$v_{In} - v_{D_1} < v_{Tn}$$

e quindi:

$$v_{In} < v_{D_1} + v_{Tn} = (5V) + v_{GS_3} + v_{Tn} = 4,3V$$

Accertiamoci ora che non esca dalla zona di saturazione il transistor T2; notiamo dunque che è:

$$v_{DS_4} = v_{GS_6}$$

Si ha poi che:

$$v_{D_2} = (5V) + v_{DS_4}$$

Combiniamo allora questa relazione con la condizione:

$$v_{GD_2} < v_{Tn}$$

che si può riscrivere come:

$$v_{In} - v_{D_2} < v_{Tn}$$

e quindi:

$$v_{In} < v_{D_2} + v_{Tn} = (5V) + v_{GS_6} + v_{Tn} = 4,3V$$

Abbiamo ottenuto il medesimo limite trovato in precedenza e quindi possiamo affermare che:

$$v_{In}^{Max} = 4,3V$$

La dinamica dell'ingresso sarà dunque:

$$-3,3V < v_{In} < 4,3V$$

Concentriamoci ora sul guadagno differenziale. Trascurando la capacità di carico  $C_L$  vediamo che siamo in presenza di un amplificatore a due stadi il primo dei quali è uno stadio differenziale (costruito attorno ai transistor T1 e T2 e con carico composto dai transistor T3 e T4) mentre il secondo è uno stadio source a massa (costruito attorno al transistor T6); il guadagno complessivo sarà dunque il prodotto dei guadagni dei due stadi:

$$A_V = A_V^I A_V^{II}$$

Sofferimoci inizialmente sul I stadio che è uno stadio differenziale a carico attivo (come quello mostrato nella lezione numero 26), single ended e con l'uscita posta sul ramo non invertente; trascuriamo da ora in poi la presenza delle resistenze di uscita dei transistor T1 e T2. Facendo riferimento al circuito di figura 2 notiamo che, essendo:

$$g_{m_1} = g_{m_2} = g_m$$

possiamo affermare che i due transistor T1 e T2 hanno la stessa corrente, ovvero:

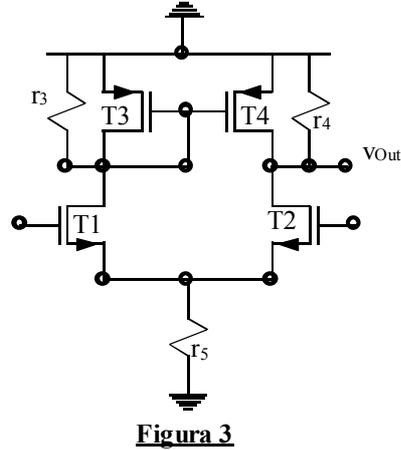
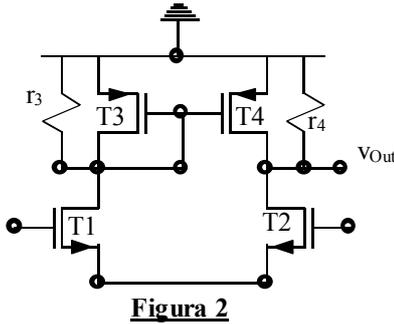
$$i_{D_2} = -i_{D_1} = g_m \frac{v_{Id}}{2}$$

Tale corrente si biforca tra il transistor T3 e la sua resistenza di uscita; la porzione di corrente che entra nel transistor T3 è dunque la seguente:

$$i_{D_3} = i_{D_1} \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} = -\frac{g_{m_3} r_3}{1 + g_{m_3} r_3} g_m \frac{v_{Id}}{2}$$

la corrente che entra nel transistor T3 viene specchiata e la ritroviamo nel transistor T4:

$$i_{D_4} = i_{D_3} = -\frac{g_{m_3} r_3}{1 + g_{m_3} r_3} g_m \frac{v_{Id}}{2}$$



Applichiamo ora la legge di Kirchhoff al drain del transistor T2 e ricaviamo la corrente che entra nella resistenza  $r_4$ , che sarà:

$$i_4 = i_{D_4} - i_{D_2} = -\frac{1}{2} g_m v_{Id} \left( 1 + \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right)$$

tale corrente provocherà, scorrendo nella resistenza  $r_4$ , una caduta di tensione che rappresenta l'uscita dello stadio differenziale:

$$v_{Out}^I = r_4 i_4 = -\frac{1}{2} g_m v_{Id} \left( 1 + \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right) r_4$$

Il guadagno differenziale del primo stadio sarà allora:

$$A_V^I = \frac{v_{Out}^I}{v_d} = -\frac{1}{2} g_m \left( 1 + \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right) r_4 = -173,2$$

Per quanto riguarda il secondo stadio, invece, si avrà, semplicemente:

$$A_V^{II} = -g_{m_6} \frac{r_6 r_7}{r_6 + r_7} = -35,35$$

Il guadagno complessivo sarà dunque:

$$A_V = A_V^I A_V^{II} = 6123$$

Per valutare il CMRR del primo stadio devo occuparmi del guadagno di modo comune del primo stadio e quindi facciamo riferimento al circuito di figura 3. Dalla simmetria del circuito possiamo intuire come sarà:

$$i_{D_1} = i_{D_2} = i_D$$

Sfruttando la legge di Kirchhoff al source comune dei transistor T1 e T2 si ottiene:

$$i_5 = i_{D_1} + i_{D_2} = 2i_D$$

Dunque la caduta di tensione sulla resistenza di uscita del transistor T5 sarà:

$$v_5 = r_5 i_5 = 2r_5 i_D$$

Otteniamo allora:

$$v_{gs_2} = v_{CM} - v_5 = v_{CM} - 2r_5 i_D$$

Ovviamente si ha:

$$v_{gs_2} = v_{gs_1} = v_{gs}$$

e dunque la corrente  $i_D$  si potrà esprimere nel modo seguente:

$$i_D = g_m v_{gs} = g_m (v_{CM} - 2r_5 i_D)$$

dalla quale si ricava:

$$i_D = \frac{g_m}{1 + g_m 2r_5} v_{CM}$$

La corrente del transistor T1 si biforca tra la resistenza  $r_3$  e il transistor T3; la porzione di corrente che entra nel transistor è la seguente:

$$i_{D_3} = \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} i_D = \frac{g_m}{1 + g_m 2r_5} \cdot \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} v_{CM}$$

Questa corrente viene specchiata con rapporto unitario nel transistor T4 e quindi si avrà:

$$i_{D_4} = i_{D_3} = \frac{g_m}{1 + g_m 2r_5} \cdot \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} v_{CM}$$

Applichiamo ora la legge di Kirchoff al drain comune dei transistor T2 e T4 e troviamo la corrente che entra nella resistenza  $r_4$ :

$$i_4 = i_{D_4} - i_D = \frac{g_m}{1 + g_m 2r_5} \left( 1 - \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right) v_{CM}$$

L'uscita di modo comune sarà dunque la caduta di tensione sulla resistenza  $r_4$  e quindi:

$$v_{Out}^{CM} = v_4 = r_4 i_4 = \frac{g_m r_4}{1 + g_m 2r_5} \left( 1 - \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right) v_{CM}$$

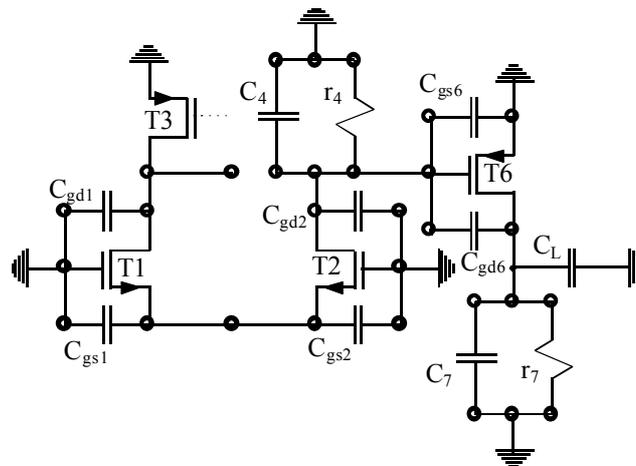
Il guadagno di modo comune del primo stadio sarà allora:

$$A_{CM}^I = \frac{v_{Out}^{CM}}{v_{CM}} = \frac{g_m r_4}{1 + g_m 2r_5} \left( 1 - \frac{g_{m_3} r_3}{1 + g_{m_3} r_3} \right) = 0,014$$

Il CMRR del primo stadio sarà allora:

$$CMRR = \left| \frac{A_V^I}{A_{CM}^I} \right| = 12370 = 81,8dB$$

Torniamo ad occuparci di un ingresso differenziale e concentriamoci infine sulla frequenza di taglio superiore e introduciamo le capacità parassite che stanno sul percorso dall'ingresso all'uscita; facciamo dunque riferimento al circuito di figura 4 (nella quale gli specchi di corrente sono stati rappresentati con il loro equivalente parallelo di capacità e resistenza di uscita).

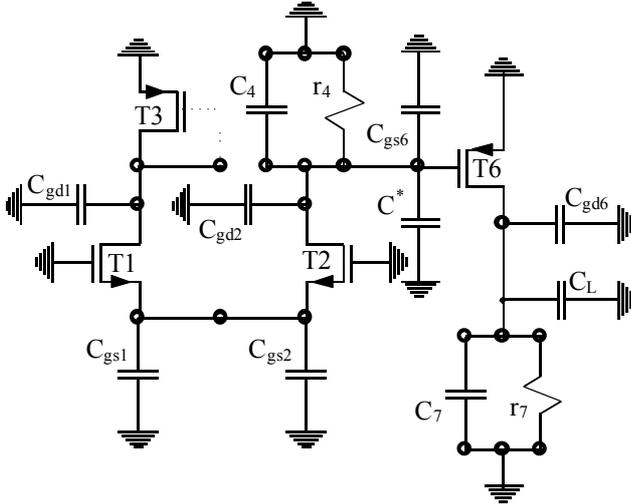


**Figura 4**

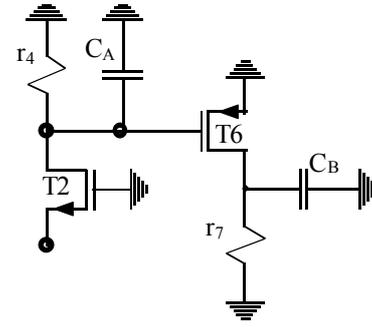
dove siano:

$$\begin{cases} C_4 = C_{gd4} \left( 1 + \frac{g_{m4}}{g_{m3}} \right) = 17,5 fF \\ C_7 = C_{gd7} \left( 1 + \frac{g_{m7}}{g_{m6}} \right) = 71,7 fF \end{cases}$$

Collegiamo a terra in modo diretto tutte le capacità, slittando con il teorema di Miller semplificato laddove necessario, come mostrato in figura 5.



**Figura 5**



**Figura 6**

dove sia:

$$C^* = C_{gd6} \left( 1 + g_{m6} \frac{r_6 r_7}{r_6 + r_7} \right) = 636 fF$$

Osserviamo a questo punto che la capacità  $C_{gd}$  del transistor T1 si trova ora fuori dal percorso tra l'ingresso e l'uscita, quindi diventa ininfluente, le due capacità  $C_{gs}$  dei transistor T1 e T2 si trovano tra massa e massa (in quanto il source comune dei due MOS è una massa virtuale nello stadio differenziale e quindi diventano anch'esse ininfluenti. Accorpare tra di loro le capacità si ottiene dunque la situazione mostrata in figura 6, dove siano:

$$\begin{cases} C_A = C_{gd2} + C_4 + C_{gs6} + C^* = 907,5 fF \\ C_B = C_{gd6} + C_L + C_7 = 15089,2 fF \end{cases}$$

Possiamo dunque ricavare le due costanti di tempo associate alle due capacità che abbiamo trovato che saranno:

$$\begin{cases} \tau_A = C_A \frac{r_2 r_4}{r_2 + r_4} = 907 ns \\ \tau_B = C_B \frac{r_6 r_7}{r_6 + r_7} = 7544 ns \end{cases}$$

La costante di tempo complessiva sarà allora:

$$\tau = \tau_A + \tau_B = 8,4 \mu s$$

e quindi la frequenza di taglio superiore sarà:

$$f_{sup} = \frac{1}{2\pi\tau} = 18,8 kHz$$

Nel calcolo della costante di tempo  $\tau_B$  si è supposto che l'impedenza di uscita dello stadio differenziale fosse solamente il parallelo tra le resistenze di uscita dei transistor T2 e T4 (come del resto si era fatto anche nel corso della lezione numero 26); in realtà, come vediamo nel seguito, la resistenza di uscita è molto più complessa ma solitamente, dal punto di vista numerico, è possibile ridurla come è stato fatto fino ad ora. Sfruttiamo dunque proprio lo stadio differenziale a carico attivo che abbiamo trovato nell'esercizio appena risolto (utilizzeremo anche i valori numerici di tale esercizio) e dimostriamo quanto detto. Andiamo dunque a cercare l'impedenza di uscita  $Z$  relativamente alla figura 7. Come prima cosa notiamo che possiamo semplificare i conti osservando che vale sicuramente la relazione:

