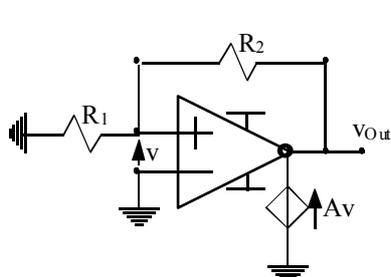
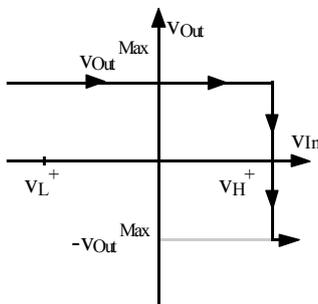


### Il Trigger di Schmitt. Retroazione positiva.

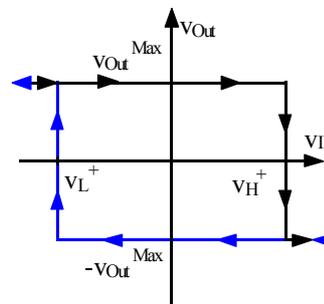
Concentriamoci sul circuito mostrato in figura 1 che prende il nome di Trigger di Schmitt (i due simboli che si dipartono dai due lati obliqui del triangolo indicano l'alimentazione del dispositivo che si pone tra una sorgente positiva ed una negativa, i valori estremi dell'alimentazione corrispondono con il massimo e il minimo valore dell'uscita che ci aspettiamo da questo circuito.



**Figura 1**



**Figura 2**



**Figura 3**

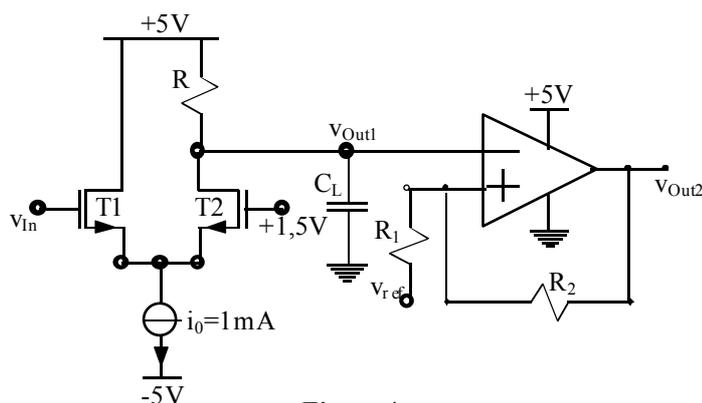
Il trigger è un circuito bistabile che presenta un'uscita alta oppure un'uscita bassa (gli estremi sono appunto quelli dati dall'alimentazione) a seconda del confronto che viene fatto tra il segnale in ingresso (sulla resistenza  $R_1$ ) e una tensione di riferimento (sull'ingresso invertente). Nella figura 2 vediamo una descrizione del comportamento di questo circuito: inizialmente vediamo un'uscita alta, quando poi la tensione di ingresso supera il valore  $v_H^+$  il trigger scatta e ci troviamo con un'uscita bassa; ovviamente si può anche seguire il percorso inverso (in blu in figura 3), ovvero partire da un'uscita bassa e avere lo scatto verso l'uscita alta quando la tensione di ingresso scende sotto la soglia di  $v_L^+$ . I due valori estremi sono i seguenti:

$$\begin{cases} v_H^+ = v_{Out}^{Max} \frac{R_1}{R_1 + R_2} \\ v_L^+ = -v_{Out}^{Max} \frac{R_1}{R_1 + R_2} \end{cases}$$

mentre in generale l'uscita si può ricavare dalla seguente relazione:

$$v^+ = \frac{R_1}{R_1 + R_2} v_{Out} + \frac{R_2}{R_1 + R_2} v_{Rif} \quad (1)$$

La figura 4 mostra due circuiti digitali connessi da una linea le cui capacità parassite verso massa sono modellizzate dalla capacità  $C_L$ .



**Figura 4**

Si disegni approssimativamente la caratteristica statica  $v_{Out1}/v_{In}$ , con  $v_{In}$  compresa tra 0 e 5V, quotando i punti in cui i transistor cambiano regione di funzionamento. Qual è l'intervallo di valori di  $v_{In}$  per cui tutta la corrente  $i_0$  scorre in  $T_2$ ? Calcolare la pendenza  $dv_{Out1}/dv_{In}$  della caratteristica statica per  $v_{In}=1,5V$ . Si applichi ora in ingresso un'onda quadra con livelli di 0 e 4V, duty cycle del 50% e periodo  $T=10\mu s$ . Si determini l'evoluzione temporale di  $v_{Out1}(t)$  con  $C_L=200pF$ . Nelle stesse condizioni si determini l'evoluzione temporale di  $v_{Out2}(t)$  e si disegni  $v_{In}$ ,  $v_{Out1}$  e  $v_{Out2}$  sullo stesso grafico. Sono forniti i seguenti valori numerici:

$$\left\{ \begin{array}{l} \mu_n C_{ox} = 50 \frac{\mu A}{V^2} \\ v_T = 1V \\ \left(\frac{W}{L}\right) = 20 \\ R = 4k\Omega \\ v_{ref} = 2V \\ R_1 = 10k\Omega \\ R_2 = 40k\Omega \end{array} \right.$$

Come prima cosa valutiamo il coefficiente  $K$  relativo ai due transistor:

$$K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} = 0,5 \frac{mA}{V^2}$$

Iniziamo con il porre a massa il segnale, ovvero:

$$v_{in} = 0$$

Dalla topologia del circuito si ricava la validità della seguente relazione:

$$i_{D_1} + i_{D_2} = i_0 = 1mA$$

Supponendo che entrambi i transistor siano in zona di saturazione avremo le seguenti due espressioni per quanto riguarda le correnti imposta dai due MOS (osservando che i due transistor hanno il source in comune):

$$\left\{ \begin{array}{l} i_{D_1} = K(-v_S - v_T)^2 \\ i_{D_2} = K[(1,5V) - v_S - v_T]^2 \end{array} \right.$$

Combiniamo ora le tre ultime relazioni scritte per ottenere un'equazione di secondo grado in  $v_S$ :

$$2Kv_S^2 + [4Kv_T - 2K(1,5V)]v_S + [2Kv_T^2 + K(1,5V)^2 - 2K(1,5V)v_T - i_0] = 0$$

i cui risultati numerici saranno:

$$\left\{ \begin{array}{l} v_S = 0,411V \\ v_S = -0,911V \end{array} \right.$$

Notiamo che per entrambi i valori trovati il transistor T1 rimane spento in quanto si ha:

$$v_{GS} < v_T$$

Questo significa che dovrà essere:

$$i_{D_2} = K[(1,5V) - v_S - v_T]^2 = i_0$$

dalla quale si ricava che il valore effettivo è proprio:

$$v_S = -0,911V$$

In questa situazione, dunque, tutta la corrente attraversa la resistenza  $r$  sulla quale ci sarà una caduta di tensione:

$$v_R = Ri_0 = 4V$$

Osserviamo poi che, dalla topologia del circuito, si ha:

$$v_{Out1} = (5V) - v_R$$

Fino dunque a quando tutta la corrente scorre nel transistor T1 si avrà la seguente uscita:

$$v_{Out1} = 1V$$

La corrente scorrerà nel solo transistor T2 fino a quando il transistor T1 non sarà acceso; il limite di questo intervallo è dunque il seguente:

$$v_{in} - v_S = v_T$$

da cui si ricava:

$$v_{in} = v_S + v_T = 0,089V$$

Ora bisogna verificare che i transistor siano in saturazione; notiamo che il limite per passare dalla zona di saturazione alla zona di triodo è che sia:

$$v_{In}^{Sat} - v_D = v_T$$

ovvero, per quanto riguarda il transistor T1:

$$v_{In}^{Sat} = v_D + v_T = (5V) + v_T = 6V$$

Vediamo allora che, siccome stiamo lavorando tra 0V e 5V, il transistor T1 è sempre in zona di saturazione; per quanto riguarda, invece, il transistor T2, notiamo che sarà:

$$v_{GD_2} = (1,5V) - v_D = (1,5V) - (5V) + v_R$$

Nel caso pessimo in cui tutta la corrente scorra nel transistor T2 si avrà:

$$v_{GD_2} = (1,5V) - (5V) + v_R = 0,5V$$

che è sempre minore della tensione di soglia e quindi sono sicuro che anche il transistor T2 rimarrà sempre in zona di saturazione.

Il transistor T2 si spegnerà quando, ovviamente:

$$v_{GS_2} < v_T$$

e questo accadrà quando la tensione al source comune supererà il seguente limite:

$$v_S^{Lim} = 0,5V$$

Quando questo succederà avremo tutta la corrente  $i_0$  che attraverserà il transistor T1 e quindi possiamo ricavare la tensione di ingresso tramite la seguente relazione:

$$v_{In} - v_S = v_T + \sqrt{\frac{i_0}{K}}$$

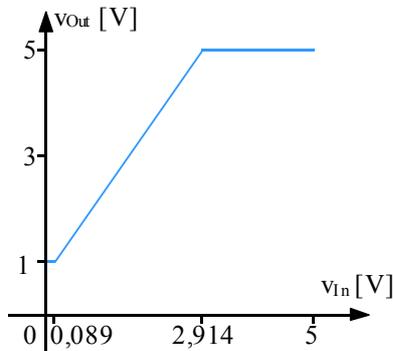
e quindi:

$$v_{In} = v_T + \sqrt{\frac{i_0}{K}} + v_S^{Lim} = 2,914V$$

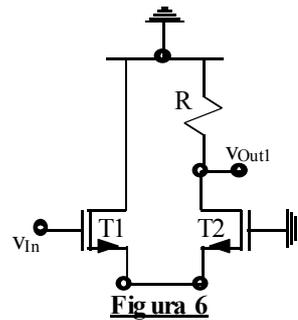
Quando tutta la corrente scorre nel transistor T1, ovviamente non c'è caduta di tensione sulla resistenza R e quindi l'uscita sarà:

$$v_{Out1} = 5V$$

Da questo punto in avanti l'uscita non varierà più. Possiamo dunque disegnare in maniera approssimata la caratteristica come mostrata in figura 5 dove, per interpolazione lineare, diciamo che, per 1,5V di ingresso, abbiamo 3V di uscita.



**Figura 5**



**Figura 6**

La pendenza del grafico nell'intorno di un ingresso di 1,5V non è altro che il guadagno di piccolo segnale del primo stadio; notiamo allora che, ponendo un ingresso di 1,5V, entrambi i transistor hanno la medesima  $v_G$  e la  $v_S$  è in comune; dunque i due transistor hanno la medesima  $v_{GS}$ ; ciò significa che, facendo riferimento alla relazione:

$$g_m = 2K(v_{GS} - v_T)$$

possiamo affermare che i due transistor hanno la medesima  $g_m$ . Facciamo dunque riferimento alla figura 6 e notiamo come il segnale sia trasmesso tramite un source follower costruito attorno al transistor T1 e quindi al source comune la tensione sarà:

$$v_S = \frac{g_{m1} \frac{1}{g_{m2}}}{1 + g_{m1} \frac{1}{g_{m2}}} v_{In} = \frac{1}{2} v_{In}$$

La corrente che attraversa il secondo transistor e quindi anche la resistenza  $R$  sarà quindi la seguente:

$$i_R = \frac{v_S}{1/g_m} = \frac{g_m v_{In}}{2}$$

e quindi la caduta di tensione sulla resistenza  $R$ , che è poi anche l'uscita, sarà:

$$v_{Out1} = R i_R = \frac{1}{2} g_m R v_{In}$$

da cui:

$$\frac{dv_{Out1}}{dv_{In}} = \frac{1}{2} g_m R$$

In polarizzazione, con un ingresso di  $1,5V$ , varrà la relazione:

$$i_{D_1} + i_{D_2} = 1mA$$

ma anche, siccome i due transistor hanno la medesima  $v_{GS}$ , la medesima  $v_T$  e la medesima  $K$ :

$$i_{D_1} = i_{D_2}$$

da cui si ricava:

$$i_D = 0,5mA$$

Possiamo allora ricavare la tensione del source comune sfruttando la seguente espressione:

$$(1,5V) - v_S = v_T + \sqrt{\frac{i_D}{K}}$$

dalla quale si ricava:

$$v_S = (1,5V) - v_T - \sqrt{\frac{i_D}{K}} = -0,5V$$

e dunque:

$$v_{GS} = (1,5V) - v_S = 2V$$

Possiamo allora ricavare il parametro  $g_m$ , che sarà:

$$g_m = 2K(v_{GS} - v_T) = 1 \frac{mA}{V}$$

La pendenza richiesta è allora:

$$\frac{dv_{Out1}}{dv_{In}} = \frac{1}{2} g_m R = 2$$

Per determinare l'evoluzione temporale di  $v_{Out1}$  notiamo che si ha una costante di tempo prodotta dalla presenza della capacità che sarà:

$$\tau = RC_L = 0,8\mu s$$

Siccome il periodo dell'onda quadra è molto più grande della costante di tempo relativa al circuito, posso immaginare che la capacità  $C_L$  si carichi completamente e si scarichi completamente ad ogni ciclo. Possiamo allora valutare l'andamento temporale, separatamente, della carica e della scarica. Per quanto riguarda la carica si avrà:

$$v_{Out1}(t) = (1V) + (4V) \left(1 - e^{-t/\tau}\right)$$

Mentre per quanto riguarda la scarica si avrà:

$$v_{Out1}(t) = (5V) - (4V) \left(1 - e^{-t/\tau}\right)$$

L'andamento di  $v_{Out1}$  sarà allora quello mostrato in figura 7. Per valutare l'uscita  $v_{Out2}$  notiamo che tale uscita si trova a valle di un Trigger di Schmitt alimentato tra  $0V$  e  $5V$  e quindi  $0V$  e  $5V$  saranno i valori massimi dell'uscita che ci aspettiamo. Sfruttando l'idealità dell'operazionale possiamo osservare come sia:

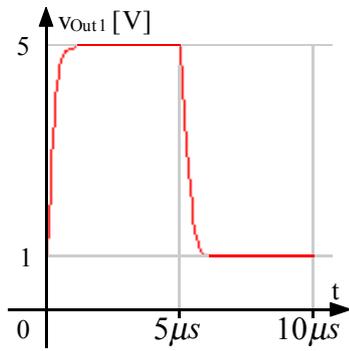
$$v^+ = v^- = v_{Out1}$$

Per valutare le soglie alle quali il Trigger di Schmitt scatta utilizziamo la relazione (1) dalla quale si ricava:

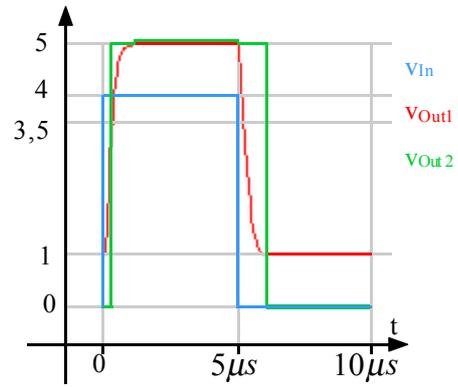
$$v_{Out2} = \left(1 + \frac{R_2}{R_1}\right) v_{Out1} - \frac{R_2}{R_1} v_{Rif}$$

Inserendo i valori numerici si ha, per  $v_{Out2}$  massima e minima rispettivamente:

$$\begin{cases} v_{Out1} = 3,5V \\ v_{Out1} = 1V \end{cases}$$



**Figura 7**

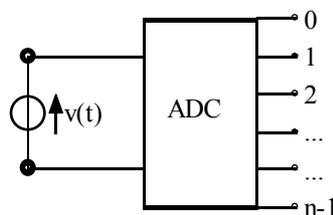


**Figura 8**

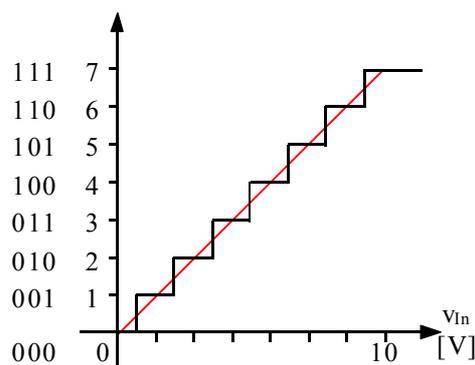
*I tre andamenti richiesti sono dunque mostrati nel grafico di figura 8.*

### Specifiche di un ADC.

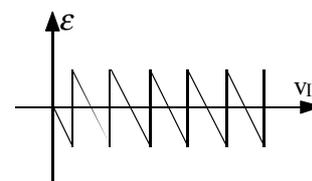
Consideriamo un dispositivo ADC come quello schematizzato in figura 1



**Figura 1**



**Figura 2**



**Figura 3**

Mettiamoci nel caso molto semplice in cui l'ADC abbia solo tre canali di uscita, che corrispondono a  $2^3$  possibili combinazioni (da 000 a 111); la funzione di trasferimento reale del convertitore è quella mostrata in nero in figura 2; in rosso, nella medesima figura, si vede la retta di trasferimento ideale. I 10V indicati rappresentano il fondo scala (F.S.) del segnale di ingresso; siccome sono presenti 8 possibili combinazioni il quanto di digitalizzazione sarà il seguente:

$$Q = \frac{FS}{2^n} = \frac{10V}{8} = 1,250V$$

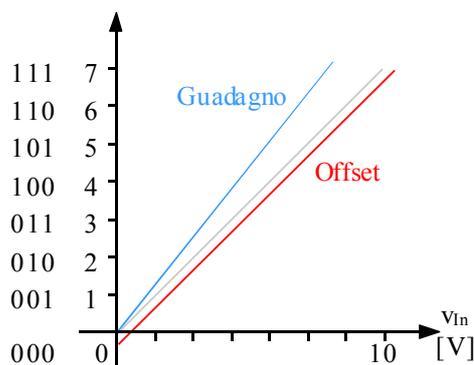
Il quanto di digitalizzazione esprime la risoluzione del convertitore; il codice 0 avrà dunque il seguente corrispettivo in tensione:

$$\{000\} \Rightarrow \left\{ (0V) + \frac{1}{2} \cdot \frac{FS}{2^n} = 0,625V \right\}$$

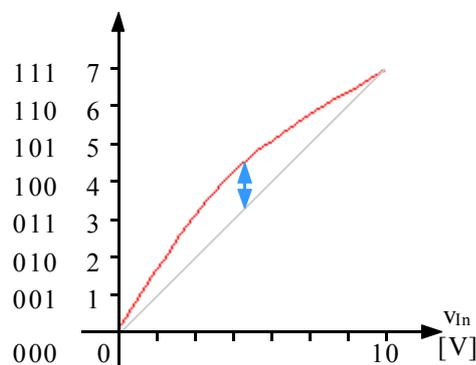
Per quanto riguarda il codice 1, si avrà invece:

$$\{001\} \Rightarrow \left\{ (0,625V) + \frac{FS}{2^n} = 1,875V \right\}$$

Si può poi ovviamente ripetere il discorso per tutti i codici seguenti (notiamo che nel codice numero 7 si considera anche una metà dell'intervallino successivo, per questo motivo la funzione di trasferimento termina con una battuta di gradino più lunga). La discrepanza tra la funzione di trasferimento reale (la scalinata) e la funzione di trasferimento ideale (la retta) prende il nome di errore di quantizzazione che varia tra 0 e  $Q/2$ ; l'andamento dell'errore di quantizzazione è mostrato in figura 3. Oltre all'errore di quantizzazione ci sono altri errori caratteristici degli ADC; ci sono per esempio gli errori di Offset e gli errori di guadagno (che vediamo rappresentati in figura 4); questi errori possono essere corretti o quantomeno ridotti tramite effetti di attenuazione oppure inserendo un Offset conosciuto.



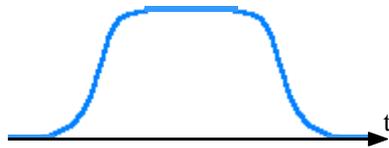
**Figura 4**



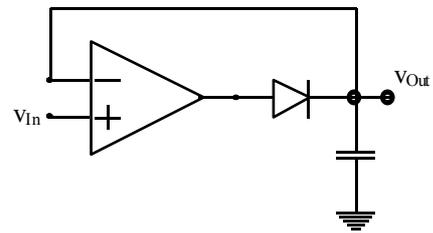
**Figura 5**

Un tipo di errori che non è possibile eliminare sono gli errori lineari. Facendo riferimento al grafico di figura 5 definiamo non linearità integrale la massima distanza tra la caratteristica ideale e quella reale. Esiste poi anche una non linearità differenziale dovuta al fatto che ogni battuta della scalinata ha una lunghezza leggermente diversa dagli altri e anche rispetto alla lunghezza calcolata; prende allora il nome di non linearità differenziale la massima differenza tra il gradino reale e il gradino ideale. Quando la non linearità differenziale arriva ad essere pari ad un bit, un gradino potrebbe avere lunghezza nulla e si avrebbe un errore detto MISSING CODE. Altri tipi di errori sono ad esempio quelli dovuti alla temperatura e alle oscillazioni di tensione legate all'effetto termico.

Vediamo ora un rapido esempio di applicazione dell'ADC ricordando il rivelatore di raggi  $\gamma$  visto nell'esercitazione numero 10. Si era allora visto che il segnale dovuto al fotone che interagiva con il fotodiode veniva amplificato con una serie di amplificatori fino ad avere un segnale nettamente distinto dal rumore di fondo e appropriato per essere rivelato. Si era ottenuto un segnale come quello di figura 6

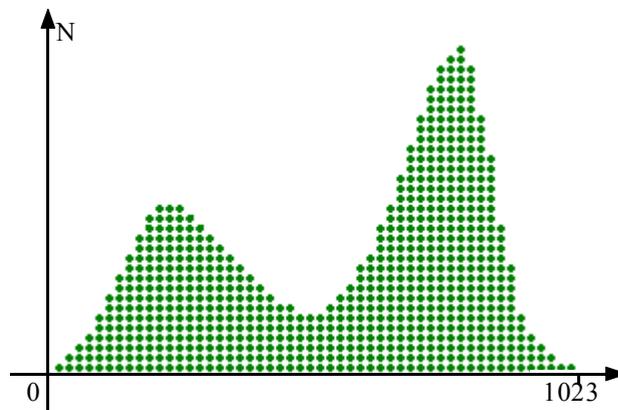


**Figura 6**



**Figura 7**

Qualora il plateau non fosse abbastanza lungo da poter fare una agevole misurazione si potrebbe allungare sfruttando un circuito come quello mostrato in figura 7. Alla tensione di uscita del circuito di figura 7 si può allora collegare il circuito Sample&Hold (con un buffer di tensione che presenti un operazionale con correnti di bias che non facciano scaricare troppo in fretta la capacità di Hold) e quindi l'ADC. Dall'ADC si ricaverà un grafico come quello di figura 8 (nell'ipotesi di utilizzare un ADC a 10 bit) nel quale vengono contate le ricorrenze con le quali viene misurato un fotone con una certa energia.

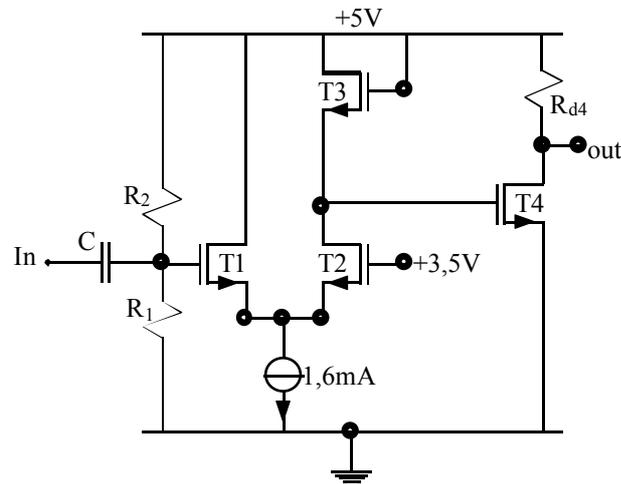


**Figura 8**

Da tale grafico notiamo allora che la radiazione  $\gamma$  che è stata misurata non era monoenergetica ma presentava almeno due picchi di energia. L'andamento del grafico che possiamo dedurre dalla figura 8 è ovviamente valido qualora non ci siano errori dell'ADC. Se sono presenti errori di non linearità integrale possiamo ugualmente dedurre la vera distribuzione di energia della radiazione  $\gamma$  sfruttando il confronto con alcuni punti noti. Se sono invece presenti errori dovuti a non linearità differenziali, non c'è modo di correggerli.

**Amplificatori a MOS.**

Si consideri il circuito di figura 1. Si stimino tutte le correnti e tensioni di polarizzazione del circuito trascurando la resistenza di uscita dei transistori. Da questo punto in avanti considerare sempre l'effetto della resistenza di uscita dei transistori. Si applichi inoltre all'ingresso un generatore di segnale  $v_S$  con resistenza di sorgente  $R_S=2k\Omega$ . Si determini il guadagno  $v_{Out}/v_S$  a centro banda e il suo andamento in bassa frequenza. Si determini il polo dominante del circuito e si disegnino i diagrammi di Bode del guadagno  $v_{Out}/v_S$  (modulo e fase). Si reazioni il circuito fin qui analizzato con una resistenza  $R_f=20k\Omega$  tra il nodo di uscita (Out) ed il nodo di ingresso (In). Calcolare il guadagno ideale e reale  $v_{Out}/v_S$  del nuovo amplificatore reazionato.



**Figura 1**

Sono forniti anche i seguenti dati numerici:

$$\left. \begin{aligned}
 R_1 &= 400k\Omega \\
 R_2 &= 100k\Omega \\
 R_{d4} &= 2k\Omega \\
 C &= 1nF \\
 C_{gs} &= C_{gd} = 1pF \\
 v_{Tn} &= 1V \\
 v_A &= 40V \\
 \mu_n C_{ox} &= 50 \frac{\mu A}{V^2} \\
 \mu_p C_{ox} &= 20 \frac{\mu A}{V^2} \\
 \left(\frac{W}{L}\right)_1 &= 40 \\
 \left(\frac{W}{L}\right)_2 &= 100 \\
 \left(\frac{W}{L}\right)_3 &= 14 \\
 \left(\frac{W}{L}\right)_4 &= 20
 \end{aligned} \right\}$$

Come prima cosa sfruttiamo i dati forniti e la relazione:

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L}$$

per ricavare i coefficienti  $K$  dei transistor presenti (i risultati numerici sono riassunti nella seguente tabella).

	T1	T2	T3	T4
$K [mA/V^2]$	1	2,5	0,35	0,5

Vediamo ora che sarà valida la seguente relazione:

$$i_{D_1} + i_{D_2} = 1,6mA$$

Supponendo che i due transistor T1 e T2 siano in saturazione, le due correnti imposte dai MOS si potranno scrivere nel modo seguente:

$$\begin{cases} i_{D_1} = K_1 (v_{GS_1} - v_{Tn})^2 \\ i_{D_2} = K_2 (v_{GS_2} - v_{Tn})^2 \end{cases}$$

Inoltre si osserva che i due transistor hanno il source in comune, e quindi:

$$v_{S_1} = v_{S_2} = v_S$$

Il gate del transistor T2 è imposto dall'esterno:

$$v_{G_2} = 3,5V$$

mentre il gate del transistor T1 avrà una tensione data dal partitore della tensione di alimentazione sulla resistenza  $R_1$ , ovvero:

$$v_{G_1} = (5V) \frac{R_1}{R_1 + R_2} = 4V$$

Possiamo allora combinare le ultime 5 relazioni scritte ed ottenere la seguente equazione di secondo grado nella variabile  $v_S$ :

$$K_1 (v_{G_1} - v_S - v_{Tn})^2 + K_2 (v_{G_2} - v_S - v_{Tn})^2 = 1,6mA$$

Risolvendo tale equazione si ricava:

$$v_S = 2V$$

Dunque si ricava:

$$v_{GS_1} = v_{G_1} - v_S = 2V$$

e quindi:

$$i_{D_1} = K_1 (v_{GS_1} - v_{Tn})^2 = 1mA$$

da cui si ricava che:

$$i_{D_2} = (1,6mA) - i_{D_1} = 0,6mA$$

Ovviamente si avrà che:

$$i_{D_3} = i_{D_2} = 0,6mA$$

Avendo la corrente imposta dal transistor T3 si può ricavare la sua tensione di comando:

$$v_{GS_3} = v_{Tn} + \sqrt{\frac{i_{D_3}}{K_3}} = 2,3V$$

Siccome dalla topologia del circuito si ha che:

$$v_{G_3} = 5V$$

si può ricavare:

$$v_{S_3} = v_{D_2} = v_{G_4} = v_{GS_4} = v_{G_3} - v_{GS_3} = 2,7V$$

Possiamo dunque ricavare la corrente imposta dal transistor T4, che sarà:

$$i_{D_4} = K_4 (v_{GS_4} - v_{Tn})^2 = 1,445mA$$

La tensione di uscita, che corrisponde alla tensione sul drain del transistor T4, sarà dunque:

$$v_{Out} = v_{D_4} = (5V) - i_{D_4} R_{d4} = 2,11V$$

Siccome abbiamo tutte le tensioni di gate e di drain dei transistor, possiamo verificare che sono tutti effettivamente in zona di saturazione, riassumiamo allora nella tabella seguente i valori della tensione di comando e della corrente imposta dai vari transistor:

	T1	T2	T3	T4
$v_{GS} [V]$	2	1,5	2,3	2,7
$i_D [mA]$	1	0,6	0,6	1,445

Occupiamoci ora del guadagno  $v_{Out}/v_S$  a centro banda. Come prima cosa calcoliamo alcuni parametri che ci verranno sicuramente utili; utilizziamo allora la relazione seguente:

$$g_m = \frac{2i_D}{v_{GS} - v_{Tn}}$$

I risultati per tutti i transistor sono riassunti nella seguente tabella:

	T1	T2	T3	T4
$g_m [mA/V]$	2	2,4	0,92	1,7
$1/g_m [k\Omega]$	0,5	0,4	1,08	0,6

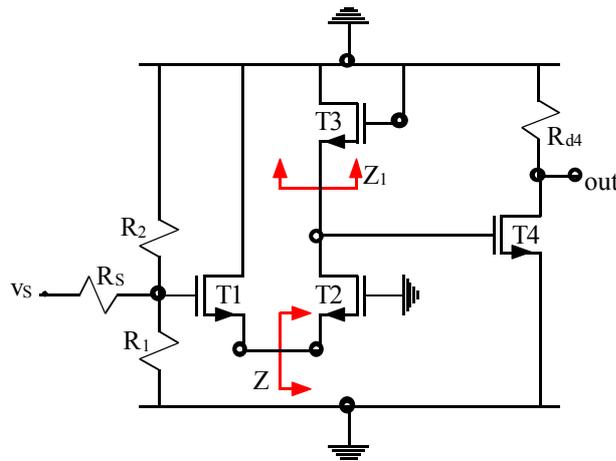
Sfruttiamo invece la seguente relazione per ricavare le resistenza di uscita dei transistor:

$$r = \frac{v_A}{i_D}$$

Anche in questo caso riassumiamo i risultati in una tabella:

	T1	T2	T3	T4
$r [k\Omega]$	40	67	67	28

Quando siamo a centro banda la capacità  $C$  è in corto circuito, dobbiamo dunque fare riferimento al circuito di figura 2.



**Figura 2**

Come prima cosa osserviamo che l'ingresso si riporta sul gate del transistor T1 tramite la seguente relazione:

$$v_{G1} = \frac{\frac{R_1 R_2}{R_1 + R_2}}{R_s + \frac{R_1 R_2}{R_1 + R_2}} v_s \cong v_s$$

Ora vediamo che sarà:

$$\begin{cases} Z_1 = \frac{r_3}{1 + g_{m3} r_3} \cong \frac{1}{g_{m3}} \\ Z = \frac{Z_1 + r_2}{1 + g_{m2} r_2} = 0,4k\Omega \end{cases}$$

Il transistor T1 viene allora usato come stadio source follower e quindi, imponendo:

$$R_S = \frac{r_1 Z}{r_1 + Z} \cong Z$$

la tensione in uscita da tale stadio sarà:

$$v_{S_1} = \frac{g_{m_1} R_S}{1 + g_{m_1} R_S} v_{G_1}$$

Al source avremo allora una corrente data da:

$$i_S = \frac{v_{S_1}}{R_S} = \frac{g_{m_1}}{1 + g_{m_1} R_S} v_{G_1}$$

Di tale corrente, quella che entra nell'impedenza  $Z$  sarà la seguente:

$$i_Z = \frac{r_1}{Z + r_1} i_S = \frac{r_1}{Z + r_1} \cdot \frac{g_{m_1}}{1 + g_{m_1} R_S} v_{G_1}$$

Questa corrente sarà la medesima che entrerà nell'impedenza  $Z_1$ , creando una caduta di tensione che sarà anche la tensione del gate del transistor T4:

$$v_{G_4} = \frac{r_1}{Z + r_1} \cdot \frac{g_{m_1} Z_1}{1 + g_{m_1} R_S} v_{G_1} = 1,193 v_{G_1}$$

Ora mi ritrovo con uno stadio source a massa centrato sul transistor T4 e quindi si avrà:

$$v_{Out} = -g_{m_4} R_{d4} v_{G_4} = -3,4 v_{G_4}$$

Complessivamente allora si avrà:

$$\frac{v_{Out}}{v_S} = -4$$

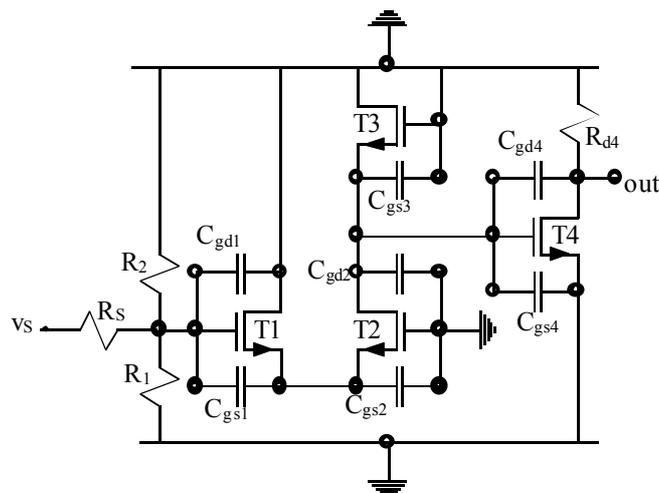
Per quanto riguarda l'andamento in bassa frequenza dobbiamo fare riferimento alla costante di tempo introdotta dalla capacità  $C$ , che sarà:

$$\tau = C \left( R_S + \frac{R_1 R_2}{R_1 + R_2} \right) = 82 \mu s$$

e quindi viene introdotta una singolarità alla frequenza:

$$f = \frac{1}{2\pi\tau} = 1,94 kHz$$

Per valutare il polo dominante del circuito inserisco le capacità parassite e chiudo in corto circuito la capacità  $C$ . Devo dunque gestire il circuito di figura 3.



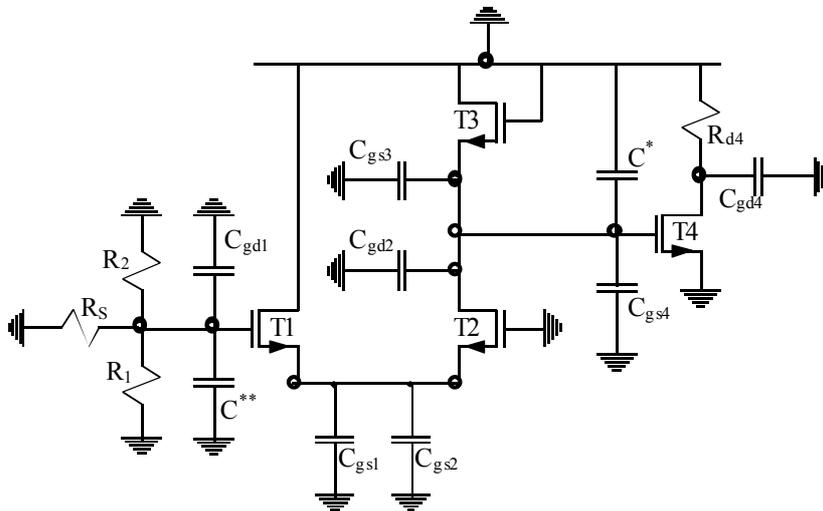
**Figura 3**

Mettiamo ora direttamente a terra tutte le capacità parassite che sono a terra e splittiamo quelle che non lo sono tramite il teorema di Miller semplificato, in modo da ottenere la situazione mostrata in figura 4, dove siano:

$$\begin{cases} C^* = C_{gd4} (1 + g_{m4} R_{d4}) = 4,4 pF \\ C^{**} = C_{gs1} \left( 1 - \frac{g_{m1} R_S}{1 + g_{m1} R_S} \right) = 0,6 pF \end{cases}$$

Complessivamente possiamo allora ricostruire le seguenti quattro costanti di tempo (osservando che dal gate del transistor T4 si vede complessivamente un'impedenza che è sostanzialmente pari alla sola  $1/g_{m3}$ ):

$$\begin{cases} \tau_1 = (C_{gd1} + C^{**}) \frac{R_1 R_2 R_S}{R_1 R_2 + R_2 R_S + R_1 R_S} = 3,2 ns \\ \tau_2 = (C_{gs1} + C_{gs2}) \frac{r_1 Z}{r_1 + Z(1 + g_{m1} r_1)} = 0,4 ns \\ \tau_3 = (C_{gd2} + C_{gs3} + C_{gs4} + C^*) \frac{1}{g_{m3}} = 8 ns \\ \tau_4 = C_{gd4} \frac{R_{d4} r_4}{R_{d4} + r_4} = 1,9 ns \end{cases}$$

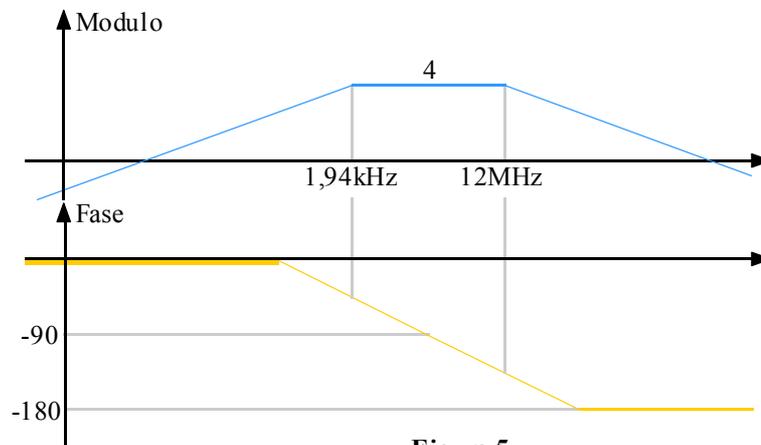


**Figura 4**

Il polo dominante del circuito è dunque quello caratterizzato dalla seguente frequenza:

$$f = \frac{1}{2\pi(\tau_1 + \tau_2 + \tau_3 + \tau_4)} = 12 MHz$$

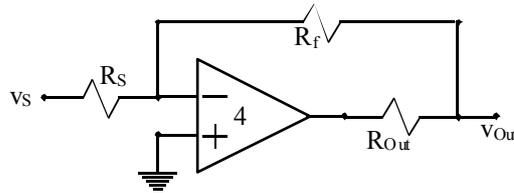
I diagrammi di Bode del guadagno saranno dunque quelli mostrati in figura 5.



**Figura 5**

Reazionando il circuito fino a qui analizzato si ottiene la configurazione di figura 6, dove sia:

$$R_{Out} = \frac{R_{d4}r_4}{R_{d4} + r_4} \cong 2k\Omega$$



**Figura 6**

Il guadagno ideale sarà:

$$G_{Id} = -\frac{R_f}{R_S} = -10$$

Il guadagno d'anello sarà:

$$G_{Loop} = -A_V \frac{R_S}{R_S + R_f + R_{Out}} = -0,333$$

e quindi:

$$T = |G_{Loop}| = 0,333$$

Il guadagno diretto sarà:

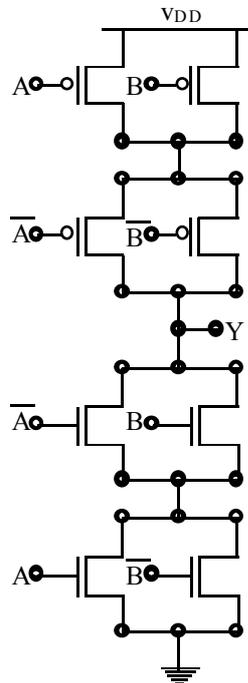
$$G_{Dir} = \frac{R_{Out}}{R_S + R_f + R_{Out}} = 0,083$$

Quindi il guadagno reale sarà:

$$G_R = G_{Id} \frac{T}{1+T} + G_{Dir} \frac{1}{1+T} = -2,44$$

**Porte logiche.**

Si faccia riferimento alla porta logica schematizzata in figura 1 e si stabilisca quale funzione logica viene implementata.



**Figura 1**

L'uscita Y sarà alta qualora la rete di Pull-Up sia un corto circuito, mentre sarà bassa quando sarà la rete di Pull-Down ad essere un corto circuito. La rete di Pull-Up è composta dalla serie di due pezzi e quindi ambedue devono essere chiusi (prodotto logico); ogni pezzo della rete di Pull-Up è il parallelo di due pezzi e quindi almeno uno dei due deve essere chiuso (somma logica). Complessivamente si avrà allora:

$$Y = (\overline{A+B}) \cdot (\overline{A+B}) = (A+B) \cdot (\overline{A+B}) = A\overline{A} + A\overline{B} + B\overline{A} + B\overline{B}$$

Ovviamente A e il suo negato non possono essere contemporaneamente veri e quindi rimane:

$$Y = (A+B) \cdot (\overline{A+B}) = A\overline{B} + B\overline{A} \quad (1)$$

In maniera analoga osserviamo che dalla rete di Pull-Down può discendere la seguente relazione:

$$\overline{Y} = (\overline{A+B}) \cdot (A+B) = A\overline{A} + \overline{A}B + BA + \overline{B}B$$

che, con la medesima osservazione fatta in precedenza, rimane:

$$\overline{Y} = (\overline{A+B}) \cdot (A+B) = \overline{A}B + BA$$

Ora dobbiamo dimostrare che quando una rete si apre l'altra si chiude, ovvero dimostriamo che negando l'ultima relazione scritta si ottiene nuovamente la relazione (1):

$$\overline{\overline{Y}} = \overline{(\overline{A}B + BA)}$$

La doppia negazione al primo membro si annulla, sfruttiamo invece la leggi di De Morgan per il secondo membro ricavando:

$$Y = \overline{\overline{A}B} \cdot \overline{BA} = (A+B) \cdot (\overline{A+B}) = A\overline{B} + B\overline{A}$$

Compilo ora la tabella della verità per capire che tipo di funzione logica è stata implementata:

A	B	$\overline{A}$	$\overline{B}$	A+B	$\overline{A+B}$	Y
1	1	0	0	1	0	0
1	0	0	1	1	1	1
0	1	1	0	1	1	1
0	0	1	1	0	1	0

Riconosciamo allora che siamo in presenza della medesima tabella di verità della funzione logica di Or esclusivo (XOR).

Si realizzi una porta logica che gestisca la seguente funzione logica:

$$Y = \overline{A + B \cdot (C + D)}$$

Dimensionare i rapporti di forma dei MOS utilizzati affinché la rete realizzata abbia la stessa capacità di pilotaggio di un invertitore C-MOS caratterizzato dai seguenti dati numerici.

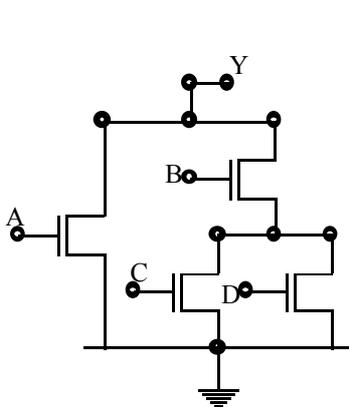
$$\begin{cases} \left(\frac{W}{L}\right)_n = 2 \\ \left(\frac{W}{L}\right)_p = 5 \\ L = 2\mu\text{m} \end{cases}$$

Si valuti poi la velocità di commutazione della porta logica su una capacità di 70fF.

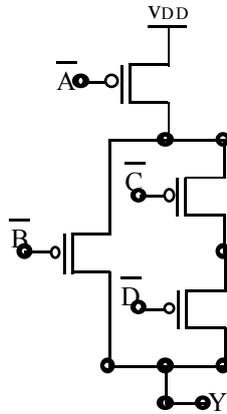
Come prima cosa dobbiamo fare in modo di trovare Y, oppure il suo negati, in funzione dei quattro ingressi oppure dei loro negati; notiamo dunque che negando entrambi i membri della funzione di partenza si ricava:

$$\overline{Y} = A + B \cdot (C + D)$$

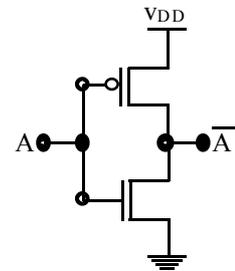
Da questa relazione è possibile ricostruire la rete di Pull-Down che avrà la struttura mostrata in figura 2.



**Figura 2**



**Figura 3**



**Figura 4**

Per realizzare la rete di Pull-Up possiamo seguire due strade: la prima, analoga a quella utilizzata per realizzare la porta di Pull-Down, consiste nel trovare Y (e non più il suo negato) in funzione dei quattro ingressi o dei loro negati, che sarà (sfruttando sempre le leggi di De Morgan):

$$Y = \overline{A + B \cdot (C + D)} = \overline{A} \cdot \overline{B \cdot (C + D)} = \overline{A} \cdot [\overline{B} + \overline{(C + D)}] = \overline{A} \cdot (\overline{B} + \overline{C} \cdot \overline{D})$$

Il secondo metodo consiste nel costruire una rete di Pull-Up duale della rete di Pull-Down trovata; in entrambi i casi si giungerà alla rete rappresentata in figura 3.

Consideriamo ora l'invertitore C-MOS di figura 4. Dai dati forniti possiamo ricavare che:

$$\begin{cases} W_p = 10\mu\text{m} \\ W_n = 4\mu\text{m} \end{cases}$$

Il fatto che le due porte logiche abbiano la stessa capacità di pilotaggio implica che ci siano gli stessi tempi di carico e scarico e quindi devono essere tra loro uguali le  $r_{DS}$ . Per quanto riguarda il C-MOS di riferimento le due  $r_{DS}$  saranno:

$$\begin{cases} r_{DS}^n = \frac{1}{2K(v_{GS} - v_T)} = \frac{1}{2 \cdot \frac{1}{2} K_n^1 \left(\frac{W}{L}\right)_n (v_{GS} - v_T)} = \frac{1}{K_n^1 \left(\frac{W}{L}\right)_n (v_{GS} - v_T)} \\ r_{DS}^p = \frac{1}{2K(v_{GS} - v_T)} = \frac{1}{2 \cdot \frac{1}{2} K_p^1 \left(\frac{W}{L}\right)_p (v_{GS} - v_T)} = \frac{1}{K_p^1 \left(\frac{W}{L}\right)_p (v_{GS} - v_T)} \end{cases}$$

Possiamo dunque osservare come sia:

$$\begin{cases} r_{DS}^n \propto \frac{1}{\left(\frac{W}{L}\right)_n} = \frac{1}{2} \\ r_{DS}^p \propto \frac{1}{\left(\frac{W}{L}\right)_p} = \frac{1}{5} \end{cases}$$

Siccome le stesse resistenze si devono avere anche nel caso della rete complessa che abbiamo costruito e anche nel caso peggiore, vediamo che, nel caso della rete di Pull-Down, il caso peggiore è quando è chiuso solo A e quindi si dovrà avere:

$$\left(\frac{W}{L}\right)_A = 2$$

e quindi, posto che L sia la medesima per tutti i transistor presenti:

$$W_A = 4\mu\text{m}$$

Se, invece, A è aperto, il caso peggiore è che B sia chiuso ma che C o D sia aperto; supponiamo che D sia aperto e C sia chiuso; in questo caso si dovrà avere:

$$r_{DS}^B + r_{DS}^C = r_{DS}^n$$

ovvero:

$$\frac{1}{\left(\frac{W}{L}\right)_B} + \frac{1}{\left(\frac{W}{L}\right)_C} = \frac{1}{2}$$

Supponendo (non c'è infatti nessun motivo che me lo vieta) che i rapporti di forma di B e C possano essere uguali, si ricava:

$$\left(\frac{W}{L}\right)_B = \left(\frac{W}{L}\right)_C = 4$$

Per simmetria si avrà poi che:

$$\left(\frac{W}{L}\right)_D = 4$$

e quindi si ottiene:

$$W_B = W_C = W_D = 8\mu\text{m}$$

Passiamo ora alla rete di Pull-Up e vediamo che il caso peggiore si avrà quando si ha la serie di tre transistor:

$$r_{DS}^{\bar{A}} + r_{DS}^{\bar{C}} + r_{DS}^{\bar{D}} = r_{DS}^p$$

ovvero:

$$\frac{1}{\left(\frac{W}{L}\right)_{\bar{A}}} + \frac{1}{\left(\frac{W}{L}\right)_{\bar{C}}} + \frac{1}{\left(\frac{W}{L}\right)_{\bar{D}}} = \frac{1}{5}$$

Ancora supponendo che i rapporti di forma possano essere uguali, si ricava:

$$\left(\frac{W}{L}\right)_{\bar{A}} = \left(\frac{W}{L}\right)_{\bar{C}} = \left(\frac{W}{L}\right)_{\bar{D}} = 15$$

e quindi si ottiene che:

$$W_{\bar{A}} = W_{\bar{C}} = W_{\bar{D}} = 30\mu\text{m}$$

Ora osserviamo che potrà anche succedere che, invece della serie di tre transistor, ci sia la serie di soli due transistor e quindi si dovrà avere (perché tutto rimanga invariato):

$$r_{DS}^{\bar{B}} = r_{DS}^{\bar{C}} + r_{DS}^{\bar{D}}$$

ovvero:

$$\frac{1}{\left(\frac{W}{L}\right)_{\bar{B}}} = \frac{1}{\left(\frac{W}{L}\right)_{\bar{C}}} + \frac{1}{\left(\frac{W}{L}\right)_{\bar{D}}}$$

da cui si ricava:

$$\left(\frac{W}{L}\right)_{\bar{B}} = \frac{15}{2}$$

e quindi si ottiene anche:

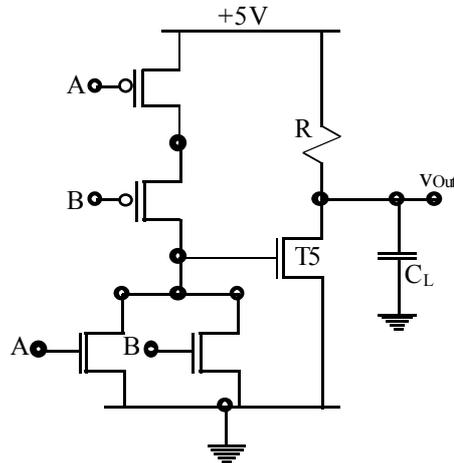
$$W_{\bar{B}} = 15\mu\text{m}$$

Notiamo che si sarebbe potuto fare anche un discorso inverso, ovvero partire con un caso pessimo di due transistor in serie e poi risalire al caso di tre transistor in serie; si sarebbero però trovati dei rapporti di forma più grossi e quindi si sarebbe penalizzato il risparmio di materiale.

Passiamo alla velocità di commutazione della porta logica; siccome abbiamo costruito una porta logica con i rapporti di forma adatti perché si abbia la stessa capacità di pilotaggio del C-MOS di figura 4, valutiamo la velocità di commutazione facendo riferimento proprio al C-MOS. La velocità di commutazione non è altro che il periodo  $t_{HL}$  che, conoscendo la resistenza  $r_{DS}$ , può essere valutata nel modo seguente:

$$t_{HL} = r_{DS}^n C \ln 2$$

Si consideri il circuito digitale di figura 5 costituito da due porte logiche in cascata.



**Figura 5**

Determinare la funzione logica complessiva eseguita dal circuito. Dimensionare il rapporto di forma di T5 affinché i livelli logici di uscita differiscano dai valori (0V, 5V) di non più del 10%. Qual è la transizione logica più lenta del circuito? Determinare approssimativamente il tempo di ritardo corrispondente. Sono forniti i seguenti dati numerici:

$$\left\{ \begin{array}{l} \mu_n C_{Ox} = 40 \frac{\mu A}{V^2} \\ \mu_p C_{Ox} = 20 \frac{\mu A}{V^2} \\ v_{Tn} = |v_{Tp}| = 1V \\ \epsilon_{Ox} = 0,3 \cdot 10^{-11} \frac{F}{cm} \\ t_{Ox} = 100nm \\ L = 2\mu m \\ R = 5k\Omega \\ C_L = 10pF \\ \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 10 \end{array} \right.$$

Facciamo riferimento inizialmente alla prima porta logica dalla cui rete di Pull-Up notiamo come la funzione logica da essa gestita sia la seguente:

$$Y_1 = \overline{A} \cdot \overline{B}$$

La seconda porta logica è un inverter dalla quale quindi esce:

$$Y = \overline{Y_1} = \overline{\overline{A} \cdot \overline{B}} = A + B$$

La funzione logica implementata è dunque un Or.

Per quanto riguarda il dimensionamento del transistor T5 notiamo che l'inverter in uscita ha un carico passivo e quindi il livello alto non crea problemi mentre bisogna soffermarsi sul livello basso che deve essere compreso tra 0V e 0,5V. Sfruttiamo allora la topologia del circuito per osservare come sia:

$$v_{Out} = (5V) - v_R$$

dove ovviamente sarà:

$$v_R = Ri_D$$

da cui si ricava:

$$v_{Out} = (5V) - Ri_D$$

Imponendo allora che l'uscita sia inferiore a 0,5V si ottiene:

$$(5V) - Ri_D < (0,5V)$$

dalla quale si ricava:

$$i_D > \frac{(5V) - (0,5V)}{R} = 0,9mA$$

Osserviamo anche che sarà:

$$v_{Out} = v_{DS}$$

Imponiamo allora ancora il limite richiesto e calcoliamo la  $r_{DS}$  del transistor T5:

$$r_{DS} = \frac{v_{DS}}{i_D} = \frac{v_{Out}}{i_D} = \frac{0,5V}{0,9mA} = 555\Omega$$

Sfruttiamo poi la seguente formula sempre relativa alla resistenza  $r_{DS}$ :

$$r_{DS} = \frac{1}{2K(v_{DD} - v_T)} = \frac{1}{2 \frac{1}{2} \mu_n C_{Ox} \frac{W}{L} (v_{DD} - v_T)}$$

Possiamo combinare le due ultime relazioni scritte e ottenere:

$$\frac{W}{L} = \frac{1}{\mu_n C_{Ox} (v_{DD} - v_T) r_{DS}} = 11,26$$

Siccome ci conviene scegliere un rapporto intero imponiamo che sia:

$$\left(\frac{W}{L}\right)_5 = 12$$

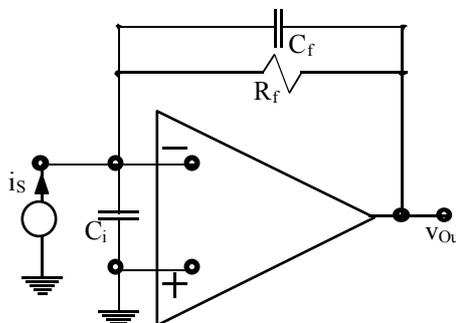
e quindi:

$$W = 24\mu m$$

Per valutare quale sia la transizione logica più lenta osserviamo che la carica e la scarica del primo stadio avviene su delle resistenze  $r_{DS}$  così come la scarica del secondo stadio; la carica del secondo stadio avviene invece su una resistenza da 5kΩ e quindi possiamo in buona approssimazione affermare che sia questa la transizione più lenta e il tempo di ritardo corrispondente sarà:

$$t = RC_L \ln 2 = 34,6ns$$

Si consideri l'amplificatore di figura 6



**Figura 6**

Determinare la funzione di trasferimento  $v_{Out}/i_s$  e tracciare il diagramma di Bode nel caso di operazionale ideale e nel caso in cui l'operazionale abbia un singolo polo con prodotto guadagno-banda di 400 MHz e tale per cui ci sia un errore di guadagno in continua inferiore all'1%. Sono forniti i seguenti dati numerici:

$$\begin{cases} R_f = 10M\Omega \\ C_f = 0,5pF \\ C_i = 0,1pF \end{cases}$$

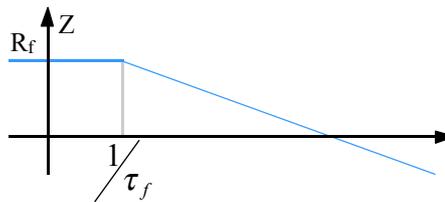
Quando uso l'operazionale ideale, il contatto virtuale mette fuori gioco la capacità  $C_i$  e quindi la funzione di trasferimento sarà:

$$Z(s) = -\frac{R_f}{1 + sR_f C_f} = -\frac{R_f}{1 + s\tau_f}$$

con:

$$\tau_f = R_f C_f = 5\mu s$$

Il diagramma di Bode è dunque quello di figura 7



**Figura 7**

Usando invece l'operazionale non ideale abbiamo che il guadagno d'anello sarà:

$$G_{Loop} = \frac{A_0}{1 + s\tau_0} \cdot \frac{1 + sR_f C_f}{1 + sR(C_f + C_i)}$$

In continua si avrà allora:

$$G_{Loop}^{DC} = A_0$$

Imponendo allora che sia:

$$\frac{1}{G_{Loop}^{DC}} \leq \frac{1}{100}$$

si ricava:

$$A_0 = 100$$

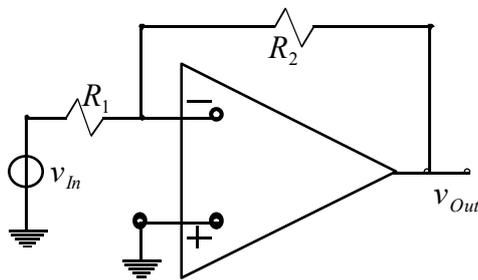
e quindi il polo dell'operazionale sarà:

$$f_0 = \frac{400MHz}{100} = 4MHz$$

Il guadagno ideale sarà:

$$G_{Id} = -\frac{R_f}{1 + s\tau_f}$$

1) Si consideri l'amplificatore in figura:



Dati:

$R_1=1k\Omega$

$R_2=50k\Omega$

- Si calcoli il guadagno in continua dell'amplificatore e la sua banda passante supponendo che l'operazionale abbia  $GB=1MHz$ .
  - Determinare il minimo valore del guadagno in continua richiesto all'operazionale del punto a) affinché l'errore statico di guadagno sia minore di 0,5%. Si ricavi di conseguenza il valore del polo dominante dell'operazionale.
  - Determinare il massimo valore della capacità C fra i morsetti di ingresso dell'operazionale che garantisca la stabilità dell'amplificatore.
  - Si supponga di avere una C pari a 10 volte quella calcolata al punto precedente. La si compensi con un condensatore in parallelo alla resistenza di retroazione e si calcoli la banda ad anello chiuso dell'amplificatore compensato.
- a) Siamo in presenza di una configurazione invertente e quindi il guadagno ideale sarà:

$$G_{Id} = -\frac{R_2}{R_1} = -50$$

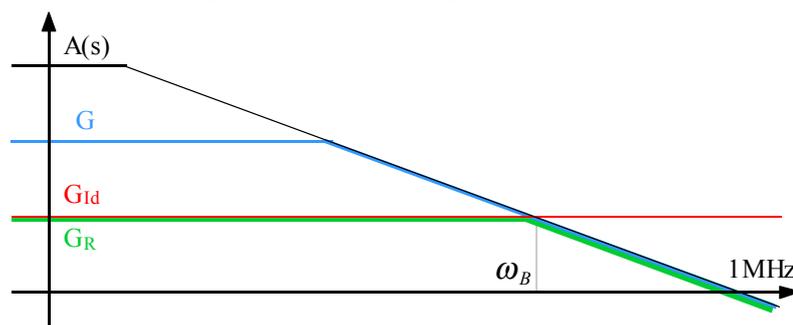
Il guadagno d'anello sarà invece:

$$G_{Loop} = -A(s) \frac{R_1}{R_1 + R_2}$$

Conoscendo il guadagno ideale e il guadagno d'anello è possibile ricavare il guadagno del blocco di andata:

$$G = -G_{Id} G_{Loop} = -A(s) \frac{R_2}{R_1 + R_2}$$

Possiamo a questo punto ricavare graficamente il guadagno reale dell'amplificatore



Notiamo dunque che in continua il guadagno dell'amplificatore coincide con il guadagno ideale e quindi si avrà:

$$G_R^{D.C.} = -50$$

Dal grafico possiamo ricavare la banda con la seguente relazione:

$$\omega_B = \frac{1MHz}{50} = 20kHz$$

- b) La definizione di errore statico di guadagno è la seguente:

$$\varepsilon = \frac{1}{|G_{Loop}^{D.C.}|}$$

Il guadagno d'anello in continua sarà:

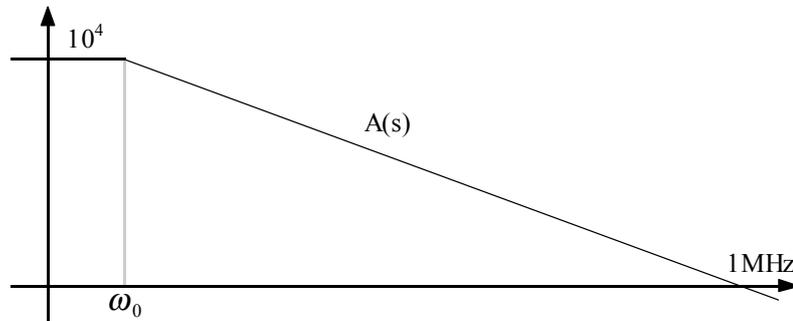
$$G_{Loop}^{D.C.} = -A_0 \frac{R_1}{R_1 + R_2}$$

Imponiamo dunque la condizione secondo la quale:

$$\frac{R_1 + R_2}{A_0 R_1} \leq 0,005$$

dalla quale si ricava:

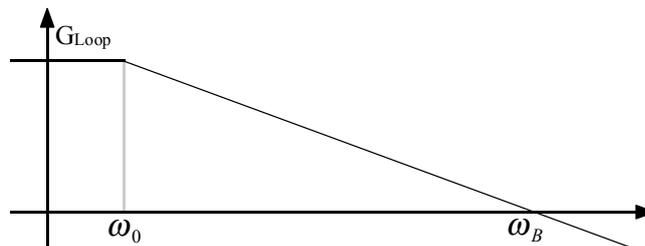
$$A_0 \geq 10200 \cong 10^4$$



Dal grafico relativo all'operazionale possiamo ora dunque ricavare il polo dominante con la seguente relazione:

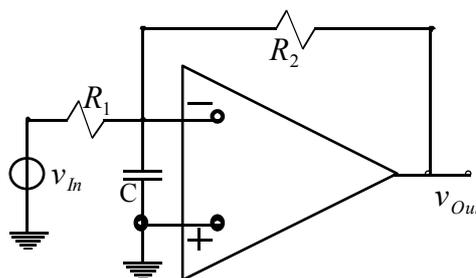
$$\omega_0 = \frac{1\text{MHz}}{10^4} = 100\text{Hz}$$

c) Sfruttando i dati ricavati in precedenza si può ricavare l'andamento del guadagno d'anello:



Per il criterio di Bode la stabilità è garantita se il modulo del guadagno d'anello incontra l'asse a 0 dB con pendenza pari a  $-20$  dB/dec. Il polo introdotto dalla capacità  $C$  dovrà dunque soddisfare la relazione:

$$\omega_C \geq \omega_B$$



Il polo introdotto dalla capacità  $C$  è dato dalla relazione:

$$\omega_C = \frac{1}{C \frac{R_1 R_2}{R_1 + R_2}}$$

Imponiamo dunque la condizione secondo la quale:

$$\frac{1}{C \frac{R_1 R_2}{R_1 + R_2}} \geq \omega_B$$

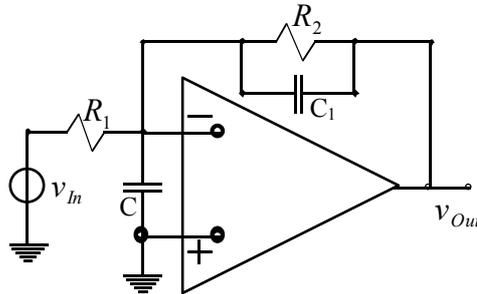
dalla quale si ricava la massima capacità richiesta per garantire la stabilità dell'amplificatore:

$$C \leq 8,12nF$$

d) Con una capacità pari a 10 volte quella calcolata al punto precedente il polo introdotto sarà:

$$\omega_C^1 = 2kHz$$

avremo dunque una instabilità da compensare con una capacità  $C_1$



Questa nuova capacità introduce un polo e uno zero. Lo zero si ricava osservando che l'uscita sarà nulla quando l'impedenza formata dal parallelo di  $C_1$  ed  $R_2$  tende all'infinito e quindi si ha:

$$\omega_z = \frac{1}{R_2 C_1}$$

Perché la capacità  $C_1$  compensi il circuito dobbiamo imporre che lo zero trovato annulli l'effetto del polo  $\omega_C^1$ ; imponiamo dunque che sia:

$$\frac{1}{R_2 C_1} = \omega_C^1$$

da cui si ricava il valore di capacità necessario alla compensazione:

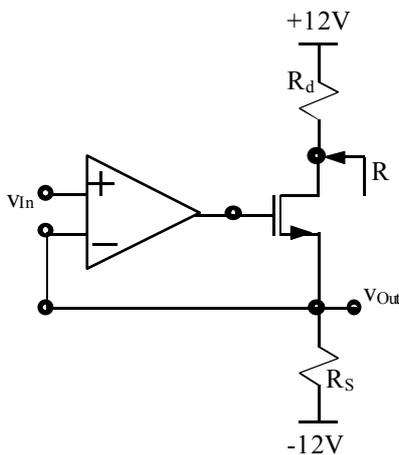
$$C_1 = 1,59nF$$

Il polo introdotto da questa capacità sarà dunque:

$$\frac{1}{C_1 \frac{R_1 R_2}{R_1 + R_2}} \cong 100kHz$$

Siccome il nuovo polo introdotto è molto oltre la frequenza  $\omega_B$ , la banda rimane a 20kHz.

2) **Si consideri il seguente amplificatore:**



**Dati:**

$$R_d = 1k\Omega$$

$$R_s = 10k\Omega$$

$$\mu C_{Ox} = 50\mu A/V^2$$

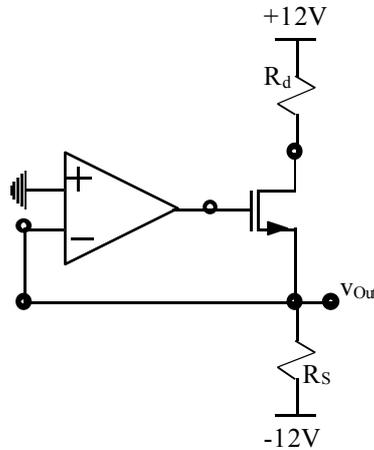
$$W/L = 40$$

$$V_T = 1V$$

- Si calcolino tutte le correnti e tensioni di polarizzazione del circuito.**
  - Si determini il guadagno a bassa frequenza  $v_{Out}/v_{In}$  nel caso di operazionale ideale e nel caso in cui si utilizzi lo stesso operazionale dell'esercizio 1.**
  - Si ricavi l'impedenza di uscita a bassa frequenza utilizzando la teoria della reazione.**
  - Si assuma che il transistor abbia una tensione di Early di 50V. calcolare l'impedenza R.**
  - Si supponga che l'operazionale abbia uno slew rate di 0,5V/ $\mu$ s. quale è la massima ampiezza di un segnale di ingresso sinusoidale di frequenza 10kHz per cui il segnale di uscita non risulta distorto?**
- a) Per valutare la polarizzazione è necessario spegnere il segnale; abbiamo così che è nulla la tensione  $v^+$  di ingresso nell'operazionale; sfruttando il contatto virtuale anche la tensione  $v^-$  sarà nulla e quindi è nulla la tensione  $v_{Out}$ . Se la tensione di uscita è nulla la tensione che cade sulla resistenza  $R_s$  sarà di 12V e quindi

possiamo ricavare la corrente che attraversa questa resistenza che è anche la corrente di drain imposta dal MOS:

$$i_D = \frac{(12V)}{R_S} = 1,2mA$$



Dai dati forniti ricavo ora:

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L} = 1 \frac{mA}{V^2}$$

Supponendo di essere in saturazione, conoscendo la corrente  $i_D$  ricavo la tensione  $v_{GS}$  con la seguente relazione:

$$v_{GS} = v_T + \sqrt{\frac{i_D}{K}} = 2,1V = v_G$$

Conoscendo la corrente imposta dal MOS ricavo la caduta di tensione sulla resistenza  $R_d$ :

$$v_{R_d} = R_d i_D = 1,2V$$

Ricaviamo allora la tensione al drain del MOS nel modo seguente:

$$v_D = (12V) - v_{R_d} = 10,8V$$

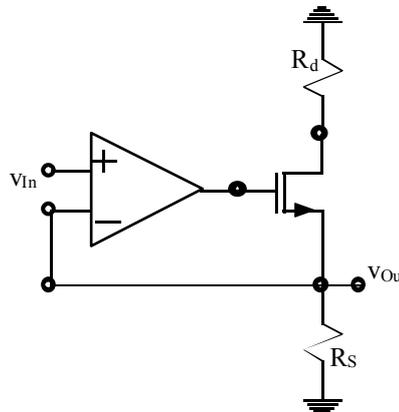
Otteniamo allora:

$$v_{GD} = v_G - v_D = -8,7V$$

Notiamo così che il MOS è effettivamente in zona di saturazione in quanto si ha:

$$v_{GD} < v_T$$

b) Per l'analisi di piccolo segnale spegniamo la polarizzazione e accendiamo il segnale:



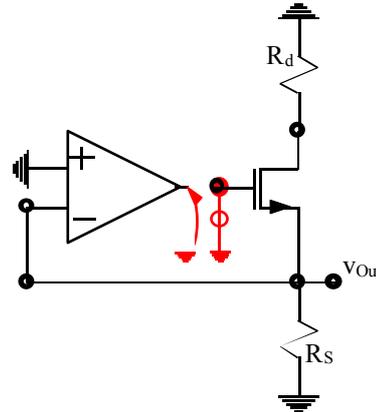
Nel caso in cui l'operazionale sia ideale, sfruttando il contatto virtuale, possiamo osservare come sia:

$$v_{In} = v^+ = v^- = v_{Out}$$

Il guadagno nel caso di operazionale ideale è allora:

$$A_V = \frac{v_{Out}}{v_{In}} = 1$$

Imponendo ora che l'operazionale sia caratterizzato da un  $A_0$  pari a  $10^4$  cerchiamo il guadagno reale sfruttando la teoria della reazione; il guadagno ideale, lo abbiamo appena visto, è unitario. Per valutare il guadagno d'anello inseriamo una tensione di test.



Sfruttando lo stadio source follower ci troviamo, data la tensione di test, ad una tensione:

$$v_{Out} = v^- = \frac{g_m R_s}{1 + g_m R_s} v_{Test}$$

dove sia, dati i valori di polarizzazioni trovati nel punto precedente:

$$g_m = \frac{2i_D}{v_{GS} - v_T} = 2,2 \frac{mA}{V}$$

Attraversando ora l'operazionale si ottiene:

$$v_{Out}^{Test} = -A_0 v^- = -A_0 \frac{g_m R_s}{1 + g_m R_s} v_{Test}$$

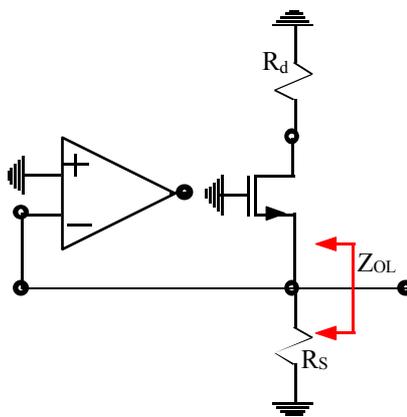
Il guadagno d'anello è dunque:

$$G_{Loop} = \frac{v_{Out}^{Test}}{v_{Test}} = -A_0 \frac{g_m R_s}{1 + g_m R_s} = -9565$$

Il guadagno nel caso di un operazionale non ideale è dunque:

$$G_R = G_{Id} \frac{T}{1 + T} \approx 1$$

- c) Come prima cosa osserviamo che il circuito è stabilizzato in tensione perché il  $G_{Loop}$  si annulla solo attaccando un generatore di tensione e poi aprendolo (si ricava infatti  $v_{Out}$  nulla e quindi, per come abbiamo calcolato in precedenza il  $G_{Loop}$ , non può esserci guadagno d'anello). Valutiamo ora l'impedenza di uscita ad anello aperto rompendo l'anello di reazione:



Si ricava:

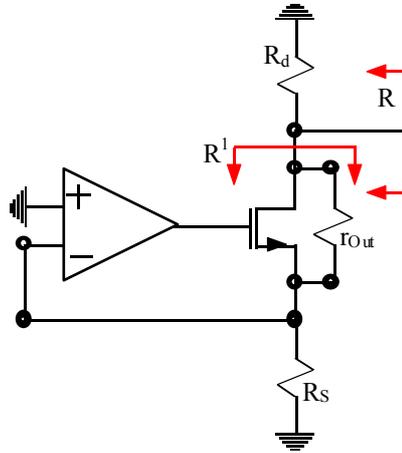
$$Z_{OL} = \frac{R_s}{1 + g_m R_s} = 435 \Omega$$

e quindi l'impedenza di uscita complessiva sarà:

$$Z = Z_{OL} \frac{1}{1 - G_{Loop}} = 45m\Omega$$

d) Essendo stata assegnata la tensione di Early possiamo ricavare la resistenza di uscita del MOS:

$$r_{Out} = \frac{v_A}{i_D} = 42k\Omega$$



Notiamo innanzitutto che possiamo semplificare il discorso valutando la  $R^1$ . Usiamo anche in questo caso la teoria della reazione e notiamo che il circuito è stabilizzato in corrente perché se poniamo dall'uscita che stiamo valutando un generatore di corrente e poi lo apriamo troviamo un guadagno d'anello nullo in quanto imponendo una  $v_{Test}$  sul gate del MOS si forma una corrente che circola solo nell'anello formato dal MOS e dalla sua resistenza di uscita e quindi non ci può essere guadagno d'anello perché non cadrà tensione sulla resistenza  $R_s$ . Usiamo dunque un generatore di tensione, spegniamolo e valutiamo il guadagno d'anello. Imponendo la tensione  $v_{Test}$  sul gate del MOS ci troviamo di fronte ad uno stadio source follower nel quale la resistenza di uscita si trova ora a massa e può dunque essere girata in parallelo con la  $R_s$ . Sull'ingresso invertente dell'operazionale vediamo dunque una tensione:

$$v^- = \frac{g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)}{1 + g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)} v_{Test}$$

Attraversando l'operazionale si avrà poi.

$$v_{Out}^{Test} = -A_0 \frac{g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)}{1 + g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)} v_{Test}$$

Il guadagno d'anello sarà dunque:

$$G_{Loop} = \frac{v_{Out}^{Test}}{v_{Test}} = -A_0 \frac{g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)}{1 + g_m \left( \frac{R_s r_{Out}}{R_s + r_{Out}} \right)} = -9467$$

La resistenza ad anello aperto si calcola aprendo l'anello di reazione composto dall'operazionale (il circuito rimane comunque retroazionato a causa del piccolo anello formato dalla resistenza di uscita); ci troviamo in una situazione classica nella quale guardiamo dentro il drain di un MOS con la resistenza di uscita ed una resistenza oltre al MOS stesso; si avrà:

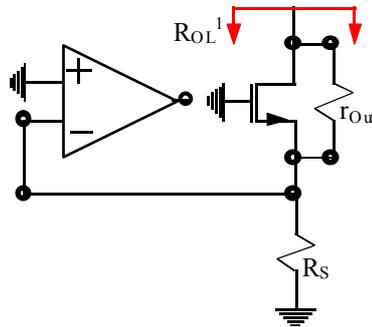
$$R_{OL}^1 = R_s + r_{Out} (1 + g_m R_s) = 976k\Omega$$

Abbiamo allora:

$$R^1 = R_{OL}^1 (1 - G_{Loop}) = 9,2G\Omega$$

e quindi:

$$R = \frac{R^1 R_d}{R^1 + R_d} = 1k\Omega$$



e) Per quanto è stato visto nel punto b) si può sempre dire che:

$$v_{Out} = v_{In}$$

Ricordiamo poi la relazione secondo la quale:

$$\omega_{Max} = \frac{S.R}{v_{Out}} = \frac{S.R}{v_{In}}$$

dalla quale ricaviamo:

$$v_{In} = \frac{S.R}{\omega_{Max}} = 8V$$

Trovata tale tensione dobbiamo garantire che, durante l'oscillazione dell'uscita (che segue con rapporto unitario l'ingresso), il MOS non si spenga e che quindi continui ad esserci corrente; sfruttiamo dunque la relazione:

$$i_D = \frac{v_{Out} - (-12V)}{R_S}$$

che non si annulla per  $v_{Out}$  pari a  $\pm 8V$ .